



УНИВЕРЗИТЕТ У НОВОМ САДУ
ФАКУЛТЕТ ТЕХНИЧКИХ НАУКА



Момчило Крунић

**Естимација потрошње енергије вишејезгарних
наменских апликација**

– ДОКТОРСКА ДИСЕРТАЦИЈА –

Ментор:

проф. др Мирослав Поповић

Нови Сад, 2016

Пре свих, изражавам велику захвалност свом ментору проф. др Мирославу Поповићу на несебичној помоћи, правилном усмеравању и стрпљењу које је исказао у току студирања и израде ове дисертације.

Такође, захваљујем се доц. др Јелени Ковачевић на великој подршци и указаном поверењу, без које реализација овог истраживања не би била могућа.

Велику захвалност дугујем свом куму Ненаду Четићу који ме је мотивисао да кренем овим путем.

Значајну захвалност желим да искажем и доц. др Миодрагу Ђукићу од кога сам доста тога научио.

Захвалио бих се такође Ивану Поважану и Стефану Станивуку на корисним и занимљивим консултацијама, које су допринеле вредности овом истраживању.

Ипак, највећу захвалност дугујем Богу и својој породици.

	УНИВЕРЗИТЕТ У НОВОМ САДУ • ФАКУЛТЕТ ТЕХНИЧКИХ НАУКА 21000 НОВИ САД, Трг Доситеја Обрадовића 6	
	КЉУЧНА ДОКУМЕНТАЦИЈСКА ИНФОРМАЦИЈА	

Редни број, РБР:			
Идентификациони број, ИБР:			
Тип документације, ТД:	Монографска документација		
Тип записа, ТЗ:	Текстуални штампани материјал		
Врста рада, ВР:	Докторски рад		
Аутор, АУ:	Момчило Крунић		
Ментор, МН:	Проф. др Мирослав Поповић		
Наслов рада, НР:	Естимација потрошње енергије вишејезгарних наменских апликација		
Језик публикације, ЈП:	Српски		
Језик извода, ЈИ:	Српски		
Земља публиковања, ЗП:	Република Србија		
Уже географско подручје, УГП:	Војводина		
Година, ГО:	2016.		
Издавач, ИЗ:	Ауторски репринт		
Место и адреса, МА:	Нови Сад; Трг Доситеја Обрадовића 6		
Физички опис рада, ФО: (поглавља/страна/ цитата/табела/слика/графика/прилога)	6 поглавља / 125 страна / 58 цитата / 49 табела / 37 слика		
Научна област, НО:	Електротехничко и рачунарско инжењерство		
Научна дисциплина, НД:	Рачунарска техника		
Предметна одредница/Кључне речи, ПО:	Дигитални сигнал процесор, наменски системи, програмски алати, потрошња енергије, метрика софтвера, евалуација перформанси		
УДК			
Чува се, ЧУ:	У библиотеци Факултета техничких наука, Нови Сад		
Важна напомена, ВН:			
Извод, ИЗ:	Докторска тема описује и анализира развој алата за профилисање и естимацију потрошње енергије наменских апликација. Апликације о којима је реч се развијају за вишејезгарну хетерогену платформу пројектовану са нагласком на ниској потрошњи енергије. Истраживање се односи на изналажење могућности прецизне процене количине енергије коју конзумира наменска DSP апликација приликом обраде улазног сигнала. Резултат истраживања је израда прецизаног модела потрошње енергије који омогућује директну спрегу између програмског решења које се развија и количине енергије потребне за његово извршавање. Основни циљ истраживања је развој енергетски ефикасних програмских решења. Модел представљен у овом раду остварује зависност између утrophка енергије и програмског решења на инструкционом нивоу. Тестирањем модела кроз реалне апликације је остварена прецизна процена утрошене енергије.		
Датум прихватања теме, ДП:			
Датум одбране, ДО:			
Чланови комисије, КО:	Председник:	др Миодраг Темеринац, ред. проф.	
	Члан:	др Никола Теслић, ред. проф.	
	Члан:	др Миодраг Ђукић, доцент	Потпис ментора
	Члан:	Др Мило Томашевић, ред. проф.	
	Члан, ментор:	др Мирослав Поповић, ред. проф.	

	UNIVERSITY OF NOVI SAD • FACULTY OF TECHNICAL SCIENCES 21000 NOVI SAD, Trg Dositeja Obradovića 6	
	KEY WORDS DOCUMENTATION	

Accession number, ANO :			
Identification number, INO :			
Document type, DT :	Monographic publication		
Type of record, TR :	Textual printed material		
Contents code, CC :	PhD Thesis		
Author, AU :	Momcilo Krunic		
Mentor, MN :	Miroslav Popovic, PhD		
Title, TI :	Energy consumption estimation for embedded multicore applications		
Language of text, LT :	Serbian		
Language of abstract, LA :	Serbian		
Country of publication, CP :	Republic of Serbia		
Locality of publication, LP :	Vojvodina		
Publication year, PY :	2015.		
Publisher, PB :	Author's reprint		
Publication place, PP :	Novi Sad, Dositeja Obradovica sq. 6		
Physical description, PD : (chapters/pages/ref./tables/pictures/graphs/appendixes)	6 chapters / 125 pages / 58 references / 49 tables / 37 pictures		
Scientific field, SF :	Electrical and Computer Engineering		
Scientific discipline, SD :	Computer Engineering, Engineering of Computer Based Systems		
Subject/Key words, S/KW :	Digital signal processor, embedded system, software tools, energy consumption, software metrics, performance evaluation		
UC			
Holding data, HD :	The Library of Faculty of Technical Sciences, Novi Sad, Serbia		
Note, N :			
Abstract, AB :	PhD thesis describes and analyzes an approach to the development of the tool for energy consumption profiling and estimation of embedded applications aimed for multi-core heterogeneous platform designed with an emphasis on low power consumption. The main purpose of this study was to enable prediction of the amount of energy consumed by embedded DSP application, when processing the input signal. The primary goal was to obtain a precise model of energy consumption that will establish a direct link between program solutions and the amount of energy required for its execution, in order to develop energy-efficient software solutions. The model presented in this paper achieves link between energy consumption and program solutions at instructional level. The solution was tested against a real applications and it has been established that prediction of consumed energy have a high degree of accuracy.		
Accepted by the Scientific Board on, ASB :			
Defended on, DE :			
Defended Board, DB :	President:	dr Miodrag Temerinac, Professor	
	Member:	dr Nikola Teslić, Professor	
	Member:	dr Miodrag Djukic, Assistant Professor	Mentor's sign
	Member:	dr Milo Tomasevic, Professor	
	Member, Mentor:	dr Miroslav Popovic, Professor	

Садржај

НОВИ САД, 2016	I
САДРЖАЈ.....	1
СПИСАК СЛИКА.....	3
СПИСАК ТАБЕЛА.....	5
СКРАЋЕНИЦЕ	8
ПОГЛАВЉЕ 1. УВОД	9
ПОГЛАВЉЕ 2. СТАЊЕ У ОБЛАСТИ	14
ПОГЛАВЉЕ 3. ОПИС ЦИЉНЕ ФИЗИЧКЕ АРХИТЕКТУРЕ	18
ПОГЛАВЉЕ 4. МОДЕЛ ЕСТИМАЦИЈЕ.....	21
4.1 Компоненте утрошене енергије и методологија мерења	24
4.1.1 Статичка компонента	29
4.1.2 Динамичка компонента	37
4.1.2.1 Енергија и снага расипања неактивног језгра	40
4.1.2.2 Енергија и снага расипања активних периферија	54
4.1.2.3 Енергија и снага расипања инструкција.....	60
4.2 Математички модел	86
4.2.1 Модел средње снаге дисипације.....	86
4.2.2 Модел укупне енергије дисипације.....	89
4.2.3 Дискусија	92
ПОГЛАВЉЕ 5. ЕКСПЕРИМЕНТАЛНИ РЕЗУЛТАТИ И ДИСКУСИЈА....	94
5.1 Филтар са коначним одзивом – FIR	95
5.1.1 Имплементација за gpDSP језгра	96

5.1.2	Имплементација за naDSP језгра	102
5.2	Дискусија	109
ПОГЛАВЉЕ 6. ЗАКЉУЧАК И БУДУЋИ РАД.....		113
ЛИТЕРАТУРА.....		120

СПИСАК СЛИКА

СЛИКА 1. ДИЈАГРАМ АКТИВНОСТИ ЈЕЗГАРА ПРИЛИКОМ ОБРАДЕ УЛАЗНОГ СИГНАЛА.	10
СЛИКА 2. БЛОК СТРУКТУРА НАМЕНСЕ ДСП ПЛАТФОРМЕ.	19
СЛИКА 3. ТРЕНД ПОТРОШЊЕ ЕЛЕКТРИЧНЕ ЕНЕРГИЈЕ НАМЕНСКЕ DSP АПЛИКАЦИЈЕ	22
СЛИКА 4. СТАТИЧКА И ДИНАМЧКА ПОТРОШЊА ЕНЕРГИЈЕ КОД РАЗЛИЧИТИХ ТЕХНОЛОГИЈА ПРОЦЕСНИХ ЧВОРОВА.	27
СЛИКА 5. СТРУЈЕ ЦУРЕЊА CMOS ИНВЕРТЕРА ПРИ РАЗЛИЧИТИМ СТАЊИМА ГЕЈТА.	29
СЛИКА 6. СТАТИЧКА СТРУЈА РАСИПАЊА РАЧУНАТА ПРИ РАЗЛИЧИТИМ КОМБИНАЦИЈАМА ФРЕКВЕНЦИЈЕ РАДНОГ ТАКТА.	34
СЛИКА 7. ТРЕНД СНАГЕ CMOS КОЛА ПРИ РАЗЛИЧИТИМ ФРЕКВЕНЦИЈАМА РАДНОГ ТАКТА.	35
СЛИКА 8. ТРЕНД СНАГЕ И УТРОШКА ЕНЕРГИЈЕ CMOS КОЛА ПРИ РАЗЛИЧИТИМ ФРЕКВЕНЦИЈАМА РАДНОГ ТАКТА.	35
СЛИКА 9. УКУПНА ЕНЕРГИЈА РАСИПАЊА У ТОКУ ЈЕДНОГ ТАКТА, ПРИ РАЗЛИЧИТИМ ФРЕКВЕНЦИЈАМА.	36
СЛИКА 10. ДИНАМИЧКА ПОТРОШЊА СТРУЈЕ CMOS ИНВЕРТОРА ПОБУЂЕНОГ ПОВОРКОМ ИМПУЛСА.	38
СЛИКА 11. ДИНАМИЧКА ПОТРОШЊА CMOS КОЛА.	39
СЛИКА 12. ТРЕНД ДИНАМИЧКЕ СНАГЕ РАСИПАЊА NOR И IDLE ИНСТРУКЦИЈА.	40
СЛИКА 13. ТРЕНД ДИНАМИЧКЕ ЕНЕРГИЈЕ РАСИПАЊА NOR И IDLE ИНСТРУКЦИЈА.	41
СЛИКА 14. ТРЕНД УКУПНЕ ЕНЕРГИЈЕ РАСИПАЊА NOR ИНСТРУКЦИЈЕ.	45
СЛИКА 15. ТРЕНД УКУПНЕ ЕНЕРГИЈЕ РАСИПАЊА НЕАКТИВНОГ ЈЕЗГРА.	48
СЛИКА 16. ТРЕНД ДИСИПАЦИЈЕ УКУПНЕ ЕНЕРГИЈЕ ЈЕЗГРА У СЛУЧАЈУ NOR И IDLE ИНСТРУКЦИЈЕ.	48
СЛИКА 17. ТРЕНД ДИСИПАЦИЈЕ АКТИВНЕ ЕНЕРГИЈЕ ЈЕЗГАРА.	50
СЛИКА 18. УКУПНА ЕНЕРГИЈА РАСИПАЊА ПЕТ ЈЕЗГАРА У СЛУЧАЈУ NOR И IDLE ИНСТРУКЦИЈА.	51
СЛИКА 19. ТРЕНД УКУПНЕ СНАГЕ И ЕНЕРГИЈЕ РАСИПАЊА АКТИВНИХ ПЕРИФЕРИЈА.	59
СЛИКА 20. ФАЗЕ ИЗВРАШАВАЊА ИНСТРУКЦИЈЕ НА DSP.	61
СЛИКА 21. ИЗВОРНИ КОД ЗА МЕРЕЊЕ ОСНОВНЕ ПОТРОШЊЕ ИНСТРУКЦИЈЕ <i>SUB X1, B0, B0</i> .	63
СЛИКА 22. ИЗВОРНИ КОД БЛОКОВСКИ РАСПОРЕЂЕНИХ ИНСТРУКЦИЈА КОД UC, GPDSP1 I GPDSP2.	73
СЛИКА 23. ИЗВОРНИ КОД БЛОКОВСКИ РАСПОРЕЂЕНИХ ИНСТРУКЦИЈА КОД NADSP1 И NADSP2.	74
СЛИКА 24. ИЗВОРНИ КОД ЗА УТВРЂИВАЊЕ МЕК ИНСТРУКЦИЈЕ {STORE A0, E[0XF006]} КОРИШЋЕЊЕМ NOR ИНСТРУКЦИЈЕ.	79
СЛИКА 25. АПРОКСИМИРАНА И СТВАРНА ВРЕДНОСТ МЕК, КАО И ЕФЕКТИВНА КАПАЦИТИВНОСТ ИНСТРУКЦИЈЕ.	81
СЛИКА 26. ИЗВОРНИ КОД ЗА ОДРЕЂИВАЊЕ УКУПНЕ МЕК ДВЕ КОНФЛИКТНЕ ИНСТРУКЦИЈЕ И <i>GOTO</i> <i>_LABEL</i> ИНСТРУКЦИЈЕ.	84

СЛИКА 27. ГРАФ АКТИВНОСТИ ЈЕЗГАРА У ТОКУ ИЗВРАШАВАЊА FIR ФИЛТРА - GPDSP	96
СЛИКА 28. ХИСТОГРАМ ИНСТРУКЦИЈА FIR ФИЛТРА - GPDSP.	97
СЛИКА 29. ИЗВЕШТАЈ ФУНКЦИЈА, ПО ЈЕЗГРИМА (УС, GPDSP1).	99
СЛИКА 30. ТРЕНД ПОТРОШЊЕ ЕНЕРГИЈЕ НАКОН ЈЕДНОГ ПРОЛАСКА КРОЗ ПЕТЉУ FIR АЛГОРИТМА - GPDSP.	101
СЛИКА 31. ГРАФ АКТИВНОСТИ ЈЕЗГАРА У ТОКУ ИЗВРАШАВАЊА FIR ФИЛТРА - NADSP	102
СЛИКА 32. ХИСТОГРАМ ИНСТРУКЦИЈА FIR ФИЛТРА - NADSP.	103
СЛИКА 33. ИЗВЕШТАЈ ФУНКЦИЈА, ПО ЈЕЗГРИМА (УС, NADSP1).	107
СЛИКА 34. ТРЕНД ПОТРОШЊЕ ЕНЕРГИЈЕ НАКОН ЈЕДНОГ ПРОЛАСКА КРОЗ ПЕТЉУ FIR АЛГОРИТМА - NADSP.	108
СЛИКА 35. ГРАФ АКТИВНОСТИ ЈЕЗГАРА У ТОКУ ИЗВРАШАВАЊА FIR ФИЛТРА – NADSP, GPDSP.	109
СЛИКА 36. ТРЕНД СНАГА ДИСИПАЦИЈЕ ПРИ GPDSP И NADSP FIR ФИЛТАР ОБРАДИ.	110
СЛИКА 37. ЕНЕРГИЈА КОЈА СЕ ДИСИПИРА ПРИЛИКОМ ЈЕДНОГ ПРОЛАСКА КРОЗ ГЛАВНУ ПЕТЉУ ОБРАДЕ FIR ФИЛТРА, НА GPDSP И NADSP ЈЕЗГАРИМА	111

СПИСАК ТАБЕЛА

ТАБЕЛА 1. ПРОЈЕКЦИЈА ПОТРОШЊЕ ЕНЕРГИЈЕ ЗА РАЗЛИЧИТЕ ТЕХНОЛОГИЈЕ ПРОЦЕСНИХ ЧВОРОВА.	28
ТАБЕЛА 2. ИЗМЕРЕНА СНАГА ПРИ РАЗЛИЧИТИМ ФРЕКВЕНЦИЈАМА РАДНОГ ТАКТА.	32
ТАБЕЛА 3. ПРОРАЧУН СТРУЈЕ СТАТИЧКОГ РАСИПАЊА ПРИ РАЗЛИЧИТИМ ВРЕДНОСТИМА УЧЕСТАНОСТИ РАДНОГ ТАКТА.	33
ТАБЕЛА 4. ИЗМЕРЕНЕ И ИЗРАЧУНАТЕ ВРЕДНОСТИ NOR И IDLE ИНСТРУКЦИЈА.	41
ТАБЕЛА 5. ИЗРАЧУНАТЕ ВРЕДНОСТИ ЕФЕКТИВНЕ КАПАЦИТИВНОСТИ CMOS КОЛА.	42
ТАБЕЛА 6. ИЗМЕРЕНЕ И ЕСТИМИРАНЕ ВРЕДНОСТИ ДИНАМИЧКЕ СНАГЕ NOR ИНСТРУКЦИЈЕ.	43
ТАБЕЛА 7. ИЗМЕРЕНЕ И ЕСТИМИРАНЕ ВРЕДНОСТИ УКУПНЕ СНАГЕ РАСИПАЊА NOR ИНСТРУКЦИЈЕ.	43
ТАБЕЛА 8. ИЗМЕРЕНЕ И ЕСТИМИРАНЕ ВРЕДНОСТИ ДИНАМИЧКЕ ЕНЕРГИЈЕ NOR ИНСТРУКЦИЈЕ.	44
ТАБЕЛА 9. ИЗМЕРЕНЕ И ЕСТИМИРАНЕ ВРЕДНОСТИ УКУПНЕ ЕНЕРГИЈЕ ДИСИПАЦИЈЕ ЈЕДНОГ ТАКТА NOR ИНСТРУКЦИЈЕ.	44
ТАБЕЛА 10. ИЗМЕРЕНЕ И ЕСТИМИРАНЕ ВРЕДНОСТИ ДИНАМИЧКЕ СНАГЕ IDLE ИНСТРУКЦИЈЕ.	45
ТАБЕЛА 11. ИЗМЕРЕНЕ И ЕСТИМИРАНЕ ВРЕДНОСТИ УКУПНЕ СНАГЕ РАСИПАЊА IDLE ИНСТРУКЦИЈЕ.	46
ТАБЕЛА 12. ИЗМЕРЕНЕ И ЕСТИМИРАНЕ ВРЕДНОСТИ ДИНАМИЧКЕ ЕНЕРГИЈЕ IDLE ИНСТРУКЦИЈЕ.	46
ТАБЕЛА 13. ИЗМЕРЕНЕ И ЕСТИМИРАНЕ ВРЕДНОСТИ УКУПНЕ ЕНЕРГИЈЕ ДИСИПАЦИЈЕ ЈЕДНОГ ТАКТА НЕАКТИВНОГ МИКРОКОНТРОЛЕРА.	47
ТАБЕЛА 14. ИЗМЕРЕНЕ ВРЕДНОСТИ СТРУЈА ПЕТ ЈЕЗГАРА У НЕАКТИВНОМ СТАЊУ.	49
ТАБЕЛА 15. ИЗМЕРЕНЕ ВРЕДНОСТИ СТРУЈА ПЕТ ЈЕЗГАРА ПРИЛИКОМ ИЗВРШАВАЊА NOR ИНСТРУКЦИЈЕ.	50
ТАБЕЛА 16. ИЗМЕРЕНЕ И ИЗРАЧУНАТЕ ВРЕДНОСТИ УКУПНЕ СНАГЕ ПЕТ ПРОЦЕСОРА.	52
ТАБЕЛА 17. ИЗМЕРЕНЕ И ИЗРАЧУНАТЕ ВРЕДНОСТИ УКУПНЕ ЕНЕРГИЈЕ ПЕТ ПРОЦЕСОРА У ТОКУ ЈЕДНОГ ТАКТА.	53
ТАБЕЛА 18. ИЗМЕРЕНЕ И ИЗРАЧУНАТЕ ВРЕДНОСТИ АКТИВНИХ ПЕРИФЕРИЈА.	54
ТАБЕЛА 19. РАЗЛИЧИТЕ КОНФИГУРАЦИЈЕ ПЕРИФЕРИЈА.	56
ТАБЕЛА 20. ИЗМЕРЕНЕ И ИЗРАЧУНАТЕ ВРЕДНОСТИ УКУПНЕ СНАГЕ РАСИПАЊА ПРИ КОНФИГУРАЦИЈИ 1.	57
ТАБЕЛА 21. ИЗМЕРЕНЕ И ИЗРАЧУНАТЕ ВРЕДНОСТИ УКУПНЕ СНАГЕ РАСИПАЊА ПРИ КОНФИГУРАЦИЈИ 2.	57
ТАБЕЛА 22. ИЗМЕРЕНЕ И ИЗРАЧУНАТЕ ВРЕДНОСТИ УКУПНЕ СНАГЕ РАСИПАЊА ПРИ КОНФИГУРАЦИЈИ 3.	58

ТАБЕЛА 23. ИЗМЕРЕНО И ИЗРАЧУНАТЕ ВРЕДНОСТИ УКУПНЕ ЕНЕРГИЈЕ РАСИПАЊА ПРИ КОНФИГУРАЦИЈИ 1., У ТОКУ ЈЕДНОГ ТАКТА.	58
ТАБЕЛА 24. ИЗМЕРЕНО И ИЗРАЧУНАТЕ ВРЕДНОСТИ УКУПНЕ ЕНЕРГИЈЕ РАСИПАЊА ПРИ КОНФИГУРАЦИЈИ 2., У ТОКУ ЈЕДНОГ ТАКТА.	59
ТАБЕЛА 25. ИЗМЕРЕНО И ИЗРАЧУНАТЕ ВРЕДНОСТИ УКУПНЕ ЕНЕРГИЈЕ РАСИПАЊА ПРИ КОНФИГУРАЦИЈИ 3., У ТОКУ ЈЕДНОГ ТАКТА.	59
ТАБЕЛА 26. ИЗМЕРЕНО И ИЗРАЧУНАТЕ ВРЕДНОСТИ ОСНОВНЕ ПОТРОШЊЕ ИНСТРУКЦИЈА НА МИКРОКОНТРОЛЕРУ – УС.	67
ТАБЕЛА 27. ИЗМЕРЕНО И ИЗРАЧУНАТЕ ВРЕДНОСТИ ОСНОВНЕ ПОТРОШЊЕ ИНСТРУКЦИЈА НА GPDSP1 ЈЕЗГРУ.	67
ТАБЕЛА 28. ИЗМЕРЕНО И ИЗРАЧУНАТЕ ВРЕДНОСТИ ОСНОВНЕ ПОТРОШЊЕ ИНСТРУКЦИЈА НА GPDSP2 ЈЕЗГРУ.	68
ТАБЕЛА 29. ИЗМЕРЕНО И ИЗРАЧУНАТЕ ВРЕДНОСТИ ОСНОВНЕ ПОТРОШЊЕ ИНСТРУКЦИЈА НА NADSP1 ЈЕЗГРУ.	68
ТАБЕЛА 30. ИЗМЕРЕНО И ИЗРАЧУНАТЕ ВРЕДНОСТИ ОСНОВНЕ ПОТРОШЊЕ ИНСТРУКЦИЈА НА NADSP2 ЈЕЗГРУ.	69
ТАБЕЛА 31. ПРОЦЕНА ТАЧНОСТИ ПРЕДВИЂАЊА СНАГЕ УКУПНЕ ПОТРОШЊЕ ЕНЕРГИЈЕ, ПРИ 5.12МНЗ УЧЕСТАНОСТИ РАДНОГ ТАКТА, НА МИКРОКОНТРОЛЕРУ.	70
ТАБЕЛА 32. ПРОЦЕНА ТАЧНОСТИ ПРЕДВИЂАЊА СНАГЕ УКУПНЕ ПОТРОШЊЕ ЕНЕРГИЈЕ, ПРИ 5.12МНЗ УЧЕСТАНОСТИ РАДНОГ ТАКТА, НА GPDSP1.	70
ТАБЕЛА 33. ПРОЦЕНА ТАЧНОСТИ ПРЕДВИЂАЊА СНАГЕ УКУПНЕ ПОТРОШЊЕ ЕНЕРГИЈЕ, ПРИ 5.12МНЗ УЧЕСТАНОСТИ РАДНОГ ТАКТА, НА GPDSP2.	71
ТАБЕЛА 34. ПРОЦЕНА ТАЧНОСТИ ПРЕДВИЂАЊА СНАГЕ УКУПНЕ ПОТРОШЊЕ ЕНЕРГИЈЕ, ПРИ 5.12МНЗ УЧЕСТАНОСТИ РАДНОГ ТАКТА, НА NADSP1.	71
ТАБЕЛА 35. ПРОЦЕНА ТАЧНОСТИ ПРЕДВИЂАЊА СНАГЕ УКУПНЕ ПОТРОШЊЕ ЕНЕРГИЈЕ, ПРИ 5.12МНЗ УЧЕСТАНОСТИ РАДНОГ ТАКТА, НА NADSP2.	72
ТАБЕЛА 36. ПРОЦЕНА ТАЧНОСТИ ПРЕДВИЂАЊА БЛОКОВСКИ РАСПОРЕЂЕНИХ ИНСТРУКЦИЈА.	73
ТАБЕЛА 37. ИЗМЕРЕНО ВРЕДНОСТИ МЕЂУИНСТРУКЦИОНЕ ЕФЕКТИВНЕ КАПАЦИТИВНОСТИ.	76
ТАБЕЛА 38. ИЗМЕРЕНО ВРЕДНОСТИ МЕК ИНСТРУКЦИЈА НА GPDSP1 ЈЕЗГРУ.	80
ТАБЕЛА 39. ОДСТУПАЊЕ НОР АПРОКСИМАЦИЈЕ И УДЕО У УКУПНОЈ ПОТРОШЊИ ДИНАМИЧКЕ ЕНЕРГИЈЕ.	80
ТАБЕЛА 40. ИЗМЕРЕНО И ИЗРАЧУНАТЕ ВРЕДНОСТИ УКУПНЕ СНАГЕ ДИСИПАЦИЈЕ ТОКОМ ЕКСПЕРИМЕНТА.	82
ТАБЕЛА 41. ИЗМЕРЕНО И ИЗРАЧУНАТЕ ВРЕДНОСТИ МЕК.	85
ТАБЕЛА 42. ЕФЕКТИВНЕ КАПАЦИТИВНОСТИ ИНСТРУКЦИЈА И МЕЂУИНСТРУКЦИОНОГ УТИЦАЈА - GPDSP.	98
ТАБЕЛА 43. ИЗМЕРЕНО И ЕСТИМИРАНЕ ВРЕДНОСТИ СНАГЕ ДИСИПАЦИЈЕ FIR ФИЛТРА - GPDSP.	99

ТАБЕЛА 44. ИЗМЕРЕНО И ЕСТИМИРАНО ВРЕДНОСТИ ДИСИПАЦИЈЕ FIR ФИЛТРА - GPDSP.....	100
ТАБЕЛА 45. ЕФЕКТИВНЕ КАПАЦИТИВНОСТИ ИНСТРУКЦИЈА И МЕЋУИНСТРУКЦИОНОГ УТИЦАЈА - NADSP.	104
ТАБЕЛА 46. ИЗМЕРЕНО И ЕСТИМИРАНО ВРЕДНОСТИ СНАГЕ ДИСИПАЦИЈЕ FIR ФИЛТРА - NADSP. .	107
ТАБЕЛА 47. ИЗМЕРЕНО И ЕСТИМИРАНО ВРЕДНОСТИ ДИСИПАЦИЈЕ FIR ФИЛТРА - NADSP.....	108
ТАБЕЛА 48. СНАГА ДИСИПАЦИЈЕ GPDSP И NADSP ЈЕЗГАРА ПРИЛИКОМ FIR ФИЛТАР ОБРАДЕ.....	110
ТАБЕЛА 49. ЕНЕРГИЈА КОЈА СЕ ДИСИПИРА ПРИЛИКОМ ЈЕДНОГ ПРОЛАСКА КРОЗ ГЛАВНУ ПЕТЉУ ОБРАДЕ FIR ФИЛТРА, НА GPDSP И NADSP ЈЕЗГАРИМА.	111

СКРАЋЕНИЦЕ

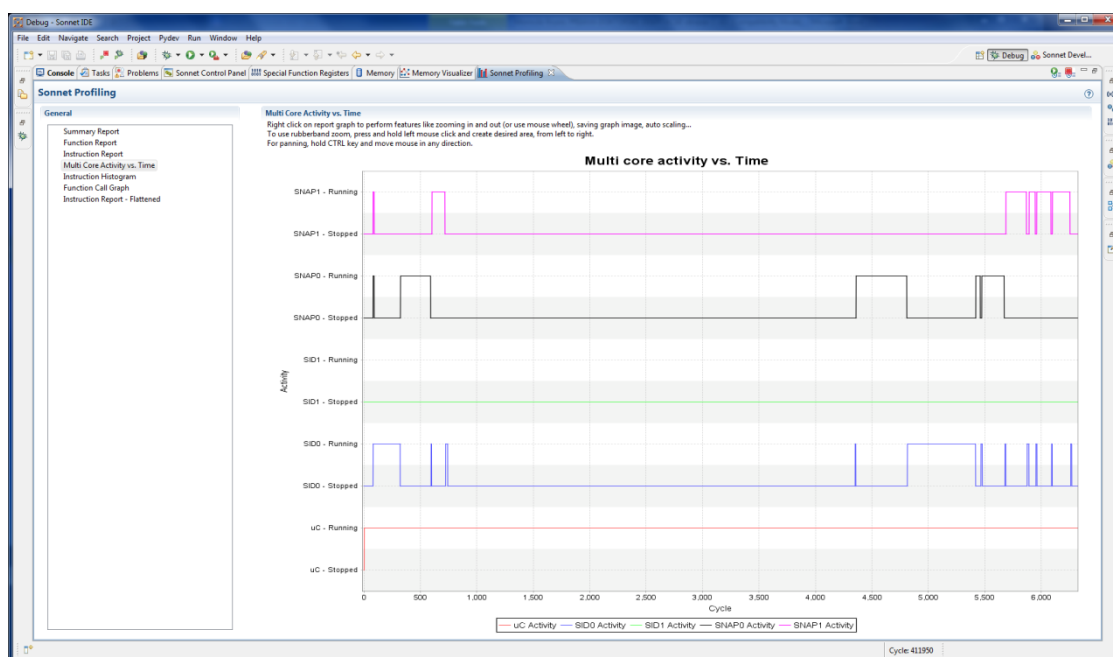
DSP	Дигитални сигнал процесор (Digital Signal Processor)
MAC	<i>Multiply-accumulate</i>
IDE	Интегрисано развојно окружење (Integrated Development Environment)
МЕК	Међуинструкцијска Ефективна Капацитивност
VLIW	Веома дуга инструкциона реч (Very Long Instruction Word)
OP	Операциони код (OPeration code)
ISA	Инструкциони скуп архитектуре (Instruction Set Arhitecture)

ПОГЛАВЉЕ 1.

Увод

Наменски процесори се пројектују како би се оптимизовали трошкови пројектовања и производње, а истовремено побољшале перформансе уређаја одређене намене. Као и било који други пројектни задатак, уколико је скуп функционалности јасно одређен и ограничен, утолико је и сама изведба једноставнија и ефикаснија, а самим тим јефтинија. За разлику од процесора опште намене, наменски процесори се пројектују како би извршавали специјализован, јасно одређен и ограничен скуп задатака. Тежи се томе да ефикасност обављања одређеног посла буде веома висока како би се остварио оптималан однос између квалитета обраде података, потрошње електричне енергије, габарита, и наравно цене самог уређаја. Типичан пример таквих процесора представљају процесори намењени дигиталној обради сигнала (DSP – Digital Signal Processor). DSP процесоре углавном одликују одређене посебности архитектуре као што су Харвард архитектура, адресни генератори, хардверске петље, хардверски стек позива потпрограма, неортогонални скуп инструкција веома дуге речи, паралелизам на нивоу инструкција (проточна структура), итд. Да би се ефикасно искористили сви набројани ресурси наменског процесора, али и олакшао развој наменских апликација, пројектују се развојни алати који треба оптимално да користе све физичке ресурсе специјализоване наменске платформе. Имајући у виду да пројектовање таквих алата представља поприличан изазов, приликом пројектовања нове наменске архитектуре узима се

у обзир да ће значајан део трошкова приписати прављењу нових развојних алата, или модификовању постојећих. Под традиционалним развојним алатима углавном се подразумевају програмски преводилац, асемблер, линкер, едитори, чаробњаци, погледи, билдери, итд. Да би се додатно олакшао развој наменских апликација, развојни алати се углавном стављају под један оквир који се назива интегрисано развојно окружење (IDE – Integrated Development Environment). Из IDE програмер може да користи све доступне алате на једном месту, чиме се повећава моћ апстракције и олакшава уклањање грешака. Све наведено има за циљ да повећа квалитет развоја наменских апликација. Како би се програмеру јасно предочили одређени параметри као што су број извршених циклуса, величина преведеног кода, активности језгара, и остали, који квалификују квалитет наменске апликације, развијен је алат под називом Профајлер (Ivan Považan 2015). Једна од најзначајнијих карактеристика Профајлера је та да може да прикаже дијаграм активности језгара (Слика 1.) наменске вишејезгарне апликације, приликом обраде улазног сигнала. Као што се са Сlike 1. може видети, за сваки извршен циклус је доступна информација да ли је одређено језгро било активно или не, на основу чега се формира дијаграм. Приказани дијаграми дају програмеру оквирну слику понашања развијене наменске апликације, приликом обраде неког улазног сигнала. Оно што недостаје јесте



Слика 1. Дијаграм активности језгара приликом обраде улазног сигнала.

квантитативна мера утрошене енергије и снаге дисипације која настаје услед те обраде. Фокус овог истраживања је био да се пружи одговор на то питање.

Код наменских платформи са веома ниском потрошњом енергије, енергетска ефикасност се остварује на пет нивоа (Graybill / Melhem 2002): апликативном, на нивоу програмског преводиоца, на нивоу оперативног система, на нивоу архитектуре и на нивоу кола. Да би се остварила висока енергетска ефикасност наменске платформе потребне су оптимизације на свих пет нивоа. Истраживање које се представља у овом раду углавном се базира на томе да програмеру пружи потпун увид у потрошњу енергије и снаге дисипације вишејезгарне наменске апликације. У сваком циклусу, на нивоу инструкције, прави се директна веза између извршеног циклуса и енергије која се том приликом потроши. Да би то било могуће, неопходно је прво декомпоновати потрошњу енергије на основне компоненте.

Енергија дисипације се састоји од статичке и динамичке компоненте. Статичка компонента настаје услед струје цурења CMOS транзистора, и представља значајну компоненту укупне потрошње енергије наменских система, поготову код оних чији се процесни чворови реализују у нанометарском домену (Panić, Static Power Loss 2014). Динамичка енергија дисипације настаје услед промене стања CMOS транзистора, што је последица активности језгара или периферија наменске платформе. У складу са том чињеницом се дефинишу ефективне капацитивности инструкција, међуинструкционог утицаја и периферија, као квантитативна мера динамичке енергије која се расипа услед тих утицаја. Ефективна капацитивност инструкције представља практично укупно наелектрисање које се премешта приликом извршавања те инструкције. Може се окарактерисати као збирно капацитивно оптерећење активних транзистора у току извршавања инструкције. Међуинструкциона ефективна капацитивност представља енергију која се троши на мењање стања транзистора из скупа симетричне разлике скупова активних транзистора две суседне инструкције. Тај утицај се још зове ефекат промена стања кола (Klass, и други Jun. 1998) (Tiwarī, Malik / Wolfe 1994). Ефективна капацитивност периферије представља укупно капацитивно оптерећење активних транзистора побуђених када се периферија стави у стање приправности обезбеђивањем радног такта.

Потребно је нагласити да највећи допринос овог истраживања представљају универзални модели за рачунање средње снаге (90) и укупне енергије (91) дисипације вишејезгарне наменске апликације. Важно је приметити да су наведени изрази у функцији напона напајања, учестаности радног такта и ефективних капацитивности. То је битно из разлога што ефективне капацитивности остају непроменљиве приликом варијације фреквенције радног такта, па је довољно извршити њихова мерења само на основној фреквенцији радног такта, што значајно смањује потребан број емпиријских мерења. На основу једном одређених вредности, ефективних капацитивности, рачунају се динамичка енергија и снага дисипације при било којој учестаности радног такта.

Осим наведеног, предложене су и јединствене методе за рачунање статичке компоненте расипања променом учестаности радног такта (4.1.1.), на основу које је написана патентна пријава, за мерење ефективне капацитивности инструкција (4.1.2.3.1), за непосредно (4.1.2.3.2) и посредно (4.1.2.3.2.1) одређивање међуинструкционог утицаја, за одређивање ефективне капацитивности активних периферија (4.1.2.2), као и метод за одређивање енергије и снаге расипања неактивних језгара (4.1.2.1).

Када је програмеру доступна детаљна анализа енергетске ефикасности написаног изворног кода, оптимизација на апликативном нивоу добија нову димензију, јер је могуће установити критичне тачке потрошње и покушати, реорганизацијом изворног кода, варијацијом учестаности радног такта и променама напона напајања, смањити укупну дисипацију (Mittal 2014). Осим тога, измерене емпиријске вредности динамичке и статичке дисипације могу се користити у оптимизацијама на нивоу програмског преводиоца, приликом избора и распоређивања инструкција (Lee, и други 1995) (Kandemir, Vijaykrishnan / Irwin 2002), као и на нивоу оперативног система, динамичким скалирањем фреквенције (Vogeleer, и други 2013) и напона напајања (Mittal 2014), што доводи до закључка да се тако може деловати на три од укупно пет нивоа оптимизације енергетске ефикасности наменских система.

Такође, предложеним методологијама за мерење динамичке и статичке енергије и снаге могу се утврдити одређене референтне вредности потрошње енергије наменске платформе, које се могу користити приликом анализе и

развоја нове генерације наменске платформе. Поређењем референтних вредности са вредностима потрошње енергије на новој верзији наменске платформе могу се установити квантитативне разлике две генерације наменских платформи. Наиме, Профајлером се могу добити хистограми коришћених инструкција приликом симулације наменске апликације од значаја, а предложеним методологијама у овом раду могу се установити њихове потрошње. На основу тих информација могу се одредити инструкције које је потребно оптимизовати у смислу потрошње, приликом пројектовања будуће генерације наменске платформе. Како измерене вредности могу утицати на пројектовање нових генерација наменских платформи, може се закључити да и преостала два нивоа енергетских оптимизација, на нивоу архитектуре и кола, такође бивају афектовани овим истраживањем.

У наредном поглављу (Поглавље 2.) дат је преглед стања постојећих решења у овој области. Наведене су све разлике између тих решења и решења до којих се дошло овим истраживањем. Такође, наведена су и кључна побољшања која доноси ово решење. У Поглављу 3. дат је опис физичке архитектуре наменске платформе која је послужила приликом овог истраживања. Поглавље 4. је кључно поглавље, у коме се описује модел естимације. Потрошња енергије се разлаже на основне компоненте и описују се методологије мерења, које се затим експериментално потврђују. Такође, изводи се универзални математички модел естимације средње снаге и укупне енергије расипања вишејезгарне наменске апликације. У Поглављу 5. описани модел и емпиријски подаци пролазе експерименталну валидацију користећи FIR филтар, као типичног представника наменских апликација. Поглавље 6. сумира главне закључке и предлаже будуће правце истраживања.

ПОГЛАВЉЕ 2.

СТАЊЕ У ОБЛАСТИ

Разноврсност наменских система и њихове примене данас, која се сваким даном проширује, подстакла је развој решења која се тичу естимације енергије расипања приликом извршавања наменских апликација, зато што се тежи повећању енергетске ефикасности читавог система. Без обзира на значај и бројност понуђених решења није се пронашло универзално решење које може бити примењено на целокупан домен наменских система. Такође, ни једно од понуђених решења, до којих се дошло у току истраживања, није понудило адекватан модел применљив на циљну платформу, описану у Поглављу 3., што је био основни мотив за истраживање. Тежило се стварању универзалног модела естимације, који би био применљив на читав скуп наменских система.

Модели естимације који се предлажу у (Klass, и други Jun. 1998) и (Callou, и други 2011) подразумевају постојање хардверског симулационог модела, који је у већини случајева недоступан, што је случај са циљном платформом коришћеном у овом истраживању. Такође, показано је у (Tiwari, Malik / Wolfe 1994) и (Sung, и други 2002) да су естимације које се заснивају на симулационим моделима мање прецизне од оних које користе податке измерене на физичкој платформи.

Методологије представљене у (Tiwari, Malik / Wolfe 1994), (Kavvadias, и други 2004) и (Joshi, Kumari / Gurumurthy 2013), узимају у обзир потрошњу

енергије која се односи на активности језгра, као што су основна потрошња енергије, која настаје услед извршавања инструкције, и међуинструкцијски утицај, који настаје као последица промене стања кола (Klass, и други Jun. 1998). У наведеним радовима недостаје анализа потрошње која се односи на активности периферија, што је у овом истраживању детаљно обрађено.

У раду (Sung, и други 2002) фокус је постављен на естимацију снаге и енергије, која може бити искоришћена приликом доношења одлука у току пројектовања самог система, тако да је циљ био да се оствари управљивост потрошње енергије на нивоу архитектуре. Решење представљено у овом истраживању се фокусира на апликативни ниво потрошње енергије, како би се остварио оквир у коме би се кориснику пружио потпун увид у снагу и енергију дисипације у току извршавања апликације, на основу кога би се могле донети одређене одлуке које би довеле до енергетски ефикаснијих решења.

Експериментални резултати приказани у радовима (Konstantakos, A., и други 2006), (Konstantakos, Chatzigeorgiou, и други 2008) и (Sinha / Chandrakasan 2002), су показали да је основна потрошња енергије инструкција целог инструкционог скупа, наменских платформи коришћених у наведеним радовима, униформна, па су у складу са тим запажањем пројектовани модели естимације енергије. Као што се из Табеле 26. може видети варијација основне потрошње инструкција наменске платформе, коришћене у овом истраживању, није униформна, и у неким случајевима износи и преко педесет посто, па се на основу тог запажања закључило да модели приказани у (Konstantakos, A., и други 2006), (Konstantakos, Chatzigeorgiou, и други 2008) и (Sinha / Chandrakasan 2002) не би дали жељену прецизност естимације.

Естимациони модел представљен у раду (Bazzaz, Salehi / Ejlali 2013) искључује непосредну анализу међуинструкционог утицаја, и уместо тог доприноса потрошње уводи хамингово растојање и тежину инструкција, јер је мерењима на циљној платформи, коришћеној у том раду, показано да дисипација која настаје услед међуинструкционог утицаја чини свега пет посто укупне потрошње енергије. Као што се може приметити из Табеле 38., међуинструкциони допринос потрошње, на циљној платформи коришћеној у овом истраживању, у неким случајевима, као на пример код инструкције „POP

X[SFP-2], PX0“, може да износи преко осамдесет посто основне потрошње инструкције.

Ни једно од претходно наведених решења не укључује у модел естимацију потрошње енергије вишејезгарних система, за разлику од модела представљеног у овом истраживању. Вишејезгарни модел естимације снаге дисипације представљен у раду (Kim, Kong / Chung, An Online Power Estimation Technique for Multi-Core Smartphones with Advanced Display Components 2012) рачуна снагу језгара на основу учестаности радног такта и упослености језгара. Решење представљено у овом истраживању средњу снагу језгара рачуна на основу свих идентификованих компоненти које утичу на дисипацију енергије језгара, а то су: статичка и динамичка дисипација енергије. Даље, у моделу се даје прецизан увид у наведене компоненте дисипације, чиме се постиже детаљнији увид у потрошњу енергије језгара, како би се могло утицати на енергетску ефикасност изворног кода. Такође, занимљиво је још приметити да се у моделу естимације представљеном у овом истраживању разматра хетерогени вишејезгарни систем, за разлику од модела представљеног у раду (Kim, Kong / Chung, An Online Power Estimation Technique for Multi-Core Smartphones with Advanced Display Components 2012) у ком се разматрају хомогени вишејезгарни системи.

Најзначајнија разлика, међутим, између модела естимације средње снаге (90) и укупне енергије (91) дисипације, представљеног у овом истраживању, и осталих може се пронаћи у чињеници да су модели снаге и енергије која се дисипира у току извршавања апликације изведени као функција три параметра: напона напајања, учестаности радног такта и ефективних капацитивности. Разлог што се тежило томе је тај да се код наменских платформи са веома ниском потрошњом енергије зарад уштеде енергије често програмски мењају прва два параметра, напон напајања и учестаност радног такта, док ефективна капацитивност остаје константна. Емпиријским одређивањем ефективних капацитивности динамичке дисипације инструкција и периферија на основној фреквенцији радног такта, могуће је евалуирати вредности снаге и енергије дисипације при различитим дужинама периоде радног такта, што пружа велику флексибилност и смањује број неопходних емпиријских мерења. Осим наведеног, даје се увид у потрошњу енергије на нивоу сваког извршеног циклуса,

па се на тај начин омогућује енергетско профилисање сваке извршене инструкције вишејезгарне наменске апликације, док обрађује различите улазне сигнале.

ПОГЛАВЉЕ 3.

ОПИС ЦИЉНЕ ФИЗИЧКЕ АРХИТЕКТУРЕ

Блок структура наменске DSP платформе која ће се користити приликом извођења експеримената је приказана на Слици 2. Приказана DSP платформа намењена је домену слушних апарата. Имајући у виду да је једна од најважнијих карактеристика слушних апарата аутономност, то јест временски период рада уређаја са једном батеријом, област којом ће се бавити истраживање још више добија на значају. Енергетски ефикасно програмско решење продужиће радни век батерије, а самим тим ће утицати на то да финални производ буде конкурентнији.

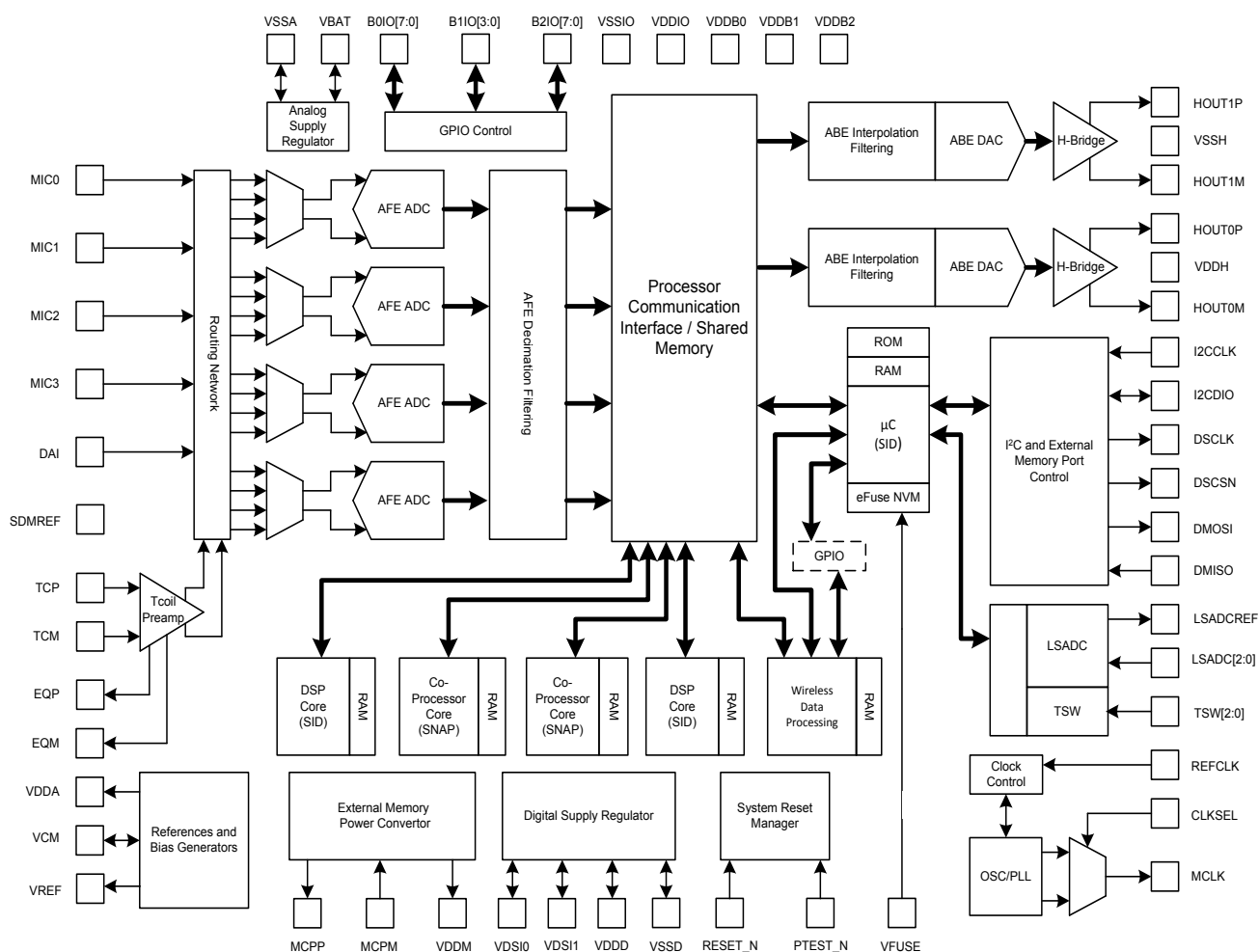
Наменска DSP платформа између осталог садржи пет хетерогених DSP. Два DSP служе за убрзану нумеричку обраду (naDSP), док преостала три језгра имају улогу DSP опште намене (gpDSP). Један од три DSP опште намене преузима улогу микроконтролера (uC), који синхронизује и контролише цео систем. Сви наведени DSP, као и цео систем генерално, су пројектовани тако да раде у режиму веома ниске потрошње енергије. Такође, важно је нагласити да се проточна структура свих наведених процесора састоји из три фазе:

- 1) Додављање инструкције
- 2) Декодовање инструкције
- 3) Извршавање инструкције

Описана архитектура проточне структуре подразумева да се у току једног циклуса врши добављање и декодовање следеће инструкције, као и извршавање текуће инструкције, што значи да у сваком циклусу учествују највише две суседне инструкције, односно да се проточна структура састоји из две фазе.

Осим наведеног, DSP платформа садржи шест различитих категорија периферија:

- 1) Аналогне - *Audio Front End (AFE)* и *Audio Back End (ABE)*.
- 2) Системске – *Clock* и *reset distribution block*.
- 3) Улазно/Излазне (I/O) - *I2C*, *UART*, *GPIO*, *Touch switch*, итд.
- 4) Локална процесорска јединица (LPU) – Одговорна за *DMA* трансфер, подешавање: руковаоца прекидима, тајмера, детектора бесконачних петљи и спољашњег адресног контекста.



Слика 2. Блок структура наменсе ДСП платформе.

- 5) Услужна – Синус генератор, семафори, поштански сандучићи, и декомпресиони блокови.
- 6) Бежична - *Wireless Data Module (WDM)* системски блок.

Наведене периферије углавном служе као спрега у комуникацији на релацији језгра и спољног света, као и у међусобној комуникацији између језгара. Свим периферијама појединачно је могуће укидати радни такт, када није потребна њихова функционалност, како би се елиминисала непотребна потрошња динамичке енергије.

Да би се добио прецизан модел потрошње енергије, описане наменске DSP платформе, неопходно је, осим моделовања на инструкционом нивоу DSP, емпиријски измерити просечну потрошњу наведених периферија, и ту вредност користити приликом евалуације потрошње вишејезгарне наменске DSP апликације.

ПОГЛАВЉЕ 4.

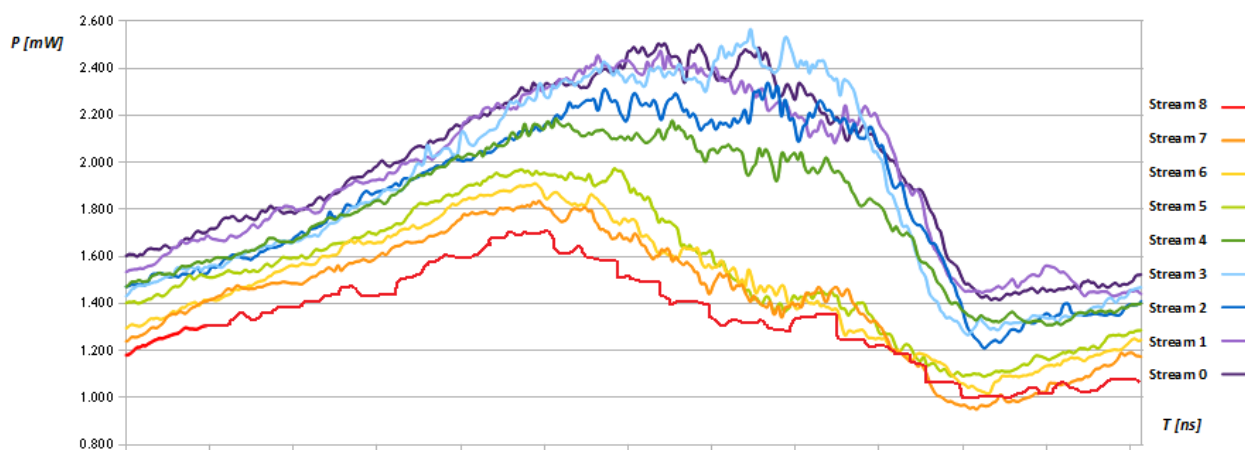
МОДЕЛ ЕСТИМАЦИЈЕ

Контекст проблема који се решава је дигитална обрада сигнала и развој енергетски ефикасних програмских решења на наменским платформама са веома ниском потрошњом енергије. У претходном поглављу је описана циљна платформа на којој је решење развијано и тестирано, као алат за естимацију потрошње енергије вишејезгарних наменских апликација, који је саставни део алата за профилисање изворног кода описаног у (Ivan Považan 2015). Развој се ради у оквиру постојећег интегрисаног развојног окружења, реализованог на Eclipse RCP развојној платформи (Vogel 2015).

Основни задатак овог истраживања је био да се утврди методологија мерења и да се предложи начин реализације алата који би служио као средство за процену потрошње енергије вишејезгарних наменских апликација, приликом обраде различитих улазних сигнала на платформи са веома ниском потрошњом енергије која има разне механизме за скалирање фреквенције радног такта и напона напајања зарад уштеде енергије, што ово истраживање чини знатно захтевнијим, а самим тим и занимљивијим. Естимација потрошње енергије наменских вишејезгарних DSP апликација могла би да има значајан утицај на коначну верзију програмског решења (Cheng-Yen Lin 2010) (V. Dalal 2001). Алат за анализу енергетске ефикасности изворног кода треба да конституише непосредну спрегу између потрошње енергије и изворног кода, тако да се у

сваком циклусу може уочити колико енергије троши наменска DSP апликација, и које се инструкције у том моменту извршавају. Осим наведеног, остварена веза између потрошње енергије и инструкција, треба да да кориснику могућност избора алтернативних инструкција са мањом потрошњом у циљу развијања енергетски ефикаснијег решења. Такође, наведена веза може послужити програмском преводиоцу као улазна информација приликом избора и распоређивања инструкција (Kandemir, Vijaykrishnan / Irwin 2002) (Lee, и други 1995), али то није тема која се обрађује у раду.

Основно питање које је инспирисало истраживање било је, да ли је могуће извршити профилисање енергетске ефикасности наменске DSP апликације у зависности од различитих улазних сигнала, то јест да ли се може дати одговор на питање колико ће времена да прође док се батерија аутономног апарата не испразни приликом обраде одређеног улазног оптерећења. Слика 3. приказује тренд потрошње наменске DSP апликације при обради различитих улазних сигнала. Апсциса приказује циклусе и извршене инструкције током циклуса, док ордината представља средњу вредност снаге у датом моменту, која се рачуна на основу емпиријских вредности. Оваквим приказом лако се могу уочити критичне тачке где је потрошња енергије највећа, а самим тим и делови изворног кода који троше највише енергије. Оптимизација врхова потрошње постиже се



Слика 3. Тренд потрошње електричне енергије наменске DSP апликације при различитим улазним оптерећењима

реорганизацијом изворног кода у области критичних тачака.

Средња снага извршавања вишејезгарне наменске DSP апликације може се одредити као аритметичка средина снага извршених циклуса:

$$P_A = \frac{1}{N_c} \sum_{k=0}^{N_c-1} P_{c(k)} \quad (1)$$

P_A – средња снага потрошње приликом обраде улазног сигнала,

$P_{c(k)}$ – средња снага k -тог циклуса,

N_c – број извршених циклуса.

Евалуација времена трајања батерије наменског система, на коме се извршава DSP апликација, која обрађује референтни улазни сигнал, може се одредити на следећи начин. Енергија акумулирана у батерији рачуна се као производ напона напајања и капацитета батерије:

$$E_b = V_{DD} \times K_b = 387.5 \text{ mWh} \quad (2)$$

E_b – енергија акумулирана у батерији,

$V_{DD} = 1.25 \text{ V}$ – напон напајања DSP платформе,

$K_b = 310 \text{ mAh}$ – капацитет батерије.

Ако узмемо, на пример, да измерена просечна потрошња DSP платформе која се разматра у овом раду, приликом FFT обраде улазног сигнала на једном језгру износи:

$$P_A = 3.4 \text{ mW} \quad (3)$$

Онда из (2) и (3) следи укупно време трајања батерије:

$$T_b = E_b / P_A = 113.97 \text{ h} \quad (4)$$

T_b – време трајања батерије при FFT обради.

Резултат добијен у (4) имплицира да ће батерија остати без акумулиране енергије након 113.97 часова непрекидног извршавања FFT алгоритма на једном језгру.

Да би целокупна претходна анализа била могућа потребно је прво одредити ток извршавања програма, наменске DSP апликације, у зависности од улазног сигнала. Саставни део SLIDE чини Профајлер (Ivan Považan 2015), који подржава могућност исписа стања програмског бројача и броја циклуса приликом извршавања DSP апликације, што у комбинацији са информацијама за отклањање грешака даје ток инструкција. Са тим се решавају вредности које треба придружити апсциси са Сликe 3.

Да би одредили вредности које треба придружити ординати, са Сликe 3., потребно је идентификовати компоненте утрошене енергије које настају као последица извршавања инструкција, након чега треба приступити мерењима. Измерене вредности треба придружити моделу скупа инструкција, и управо те вредности треба приказати на ординати са Сликe 3. Наредно поглавље разлаже потрошњу енергије извршавања појединачног циклуса на основне компоненте и даје предлог методологије мерења.

4.1 Компоненте утрошене енергије и методологија мерења

Узимајући у обзир да CMOS (complementary metal oxide semiconductor) (UPC 2016) технологија заузима доминантно место у производњи интегрисаних кола и чипова, пре свега због: поузданости, ниске потрошње, ниске цене и скалабилности (Baker 2011), као и чињеницу да је циљна платформа такође израђена у CMOS технологији, даља анализа компоненти потрошње ће се односити искључиво на интегрисана кола израђена том технологијом.

Постоје две основне компоненте потрошње енергије код интегрисаних кола израђених CMOS технологијом (Baker 2011) (Oshana, Power Optimization Techniques Using DSP 2016) (TI 2016):

- 1) Статичка компонента
- 2) Динамичка (активна) компонента

Може се закључити да се средња снага расипања енергије CMOS кола при извршавању сваког циклуса може рачунати као збир статичке и динамичке снаге (Oshana, Power Optimization Techniques Using DSP 2016):

$$P_c = P_s + P_d \quad (5)$$

Статичка и динамичка компонента расипања снаге биће детаљно обрађена у поглављима 4.1.1 и 4.1.2, респективно.

Имајући у виду да снага представља брзину потрошње енергије:

$$E = P \times t \quad (6)$$

може се приметити да уколико желимо израчунати утрошену енергију, неопходно је одредити време извршавања програма, које се рачуна једначином перформанси CPU (7) (UMN 2016) (LSU 2016) (RIT 2016):

$$t_T = \frac{1}{\phi} \times CPI \times IC \quad (7)$$

t_T – Време извршавања програма

У једначини (5) могу се уочити три релативно независне компоненте:

- ϕ – Представља фреквенцију такта, која зависи од циљне платформе и може бити променљива. Динамичка дисипација снаге је директно сразмерна овој променљивој (Baker 2011) (Oshana, Power Optimization Techniques Using DSP 2016):

$$P_d = C_{eff} \times V_{DD}^2 \times \phi \quad (8)$$

- CPI (Clocks per Instruction) – Компонета представља колико је тактова по инструкцији потребно да би се завршило њено извршавање, тачније све три фазе извршавања представљене на Слици 20. Ова компонента зависи од архитектуре циљне платформе - ISA (Instruction Set Architecture 2016). Проточна структура циљне платформе (Поглавље 3.) је таква да обезбеђује у највећем броју случајева да се у једном циклусу изврши једна инструкција на једном језгру. Суштински, пошто циљна платформа има два различита типа VLIW (USC 2016) процесора, дешава се да се више различитих операција изврши у једном циклусу на једном језгру, чиме се остварује ILP (GT 2016), међутим тих неколико паралелних операција представља јединствен ОР код, па се самим тим оне третирају као

јединствена инструкција. Како циљна платформа има пет језгара, може се сматрати да се у току једног циклуса може извршити до пет инструкција на пет различитих језгара. Уколико се на неком језгру у датом циклусу не извршава инструкција, оно се налази у стању мировања.

- IC (Instruction Count) – Представља број извршених инструкција. Претходна анализа имплицира закључак да број извршених циклуса представља број извршених инструкција на једном језгру.

Ако усвојимо претпоставку да је стање мировања такође инструкција са одређеном потрошњом, онда, имајући у виду да циљна платформа има пет језгара, и да се инструкција на језгру изврши у оквиру једног циклуса, из израза (7) следи да је време извршавања вишејезгарне наменске апликације једнако производу времена трајања циклуса и броја извршених циклуса:

$$t_T = \frac{1}{\phi} \times \frac{1}{5} \times 5N_c = \frac{1}{\phi} \times N_c = T \times N_c \quad (9)$$

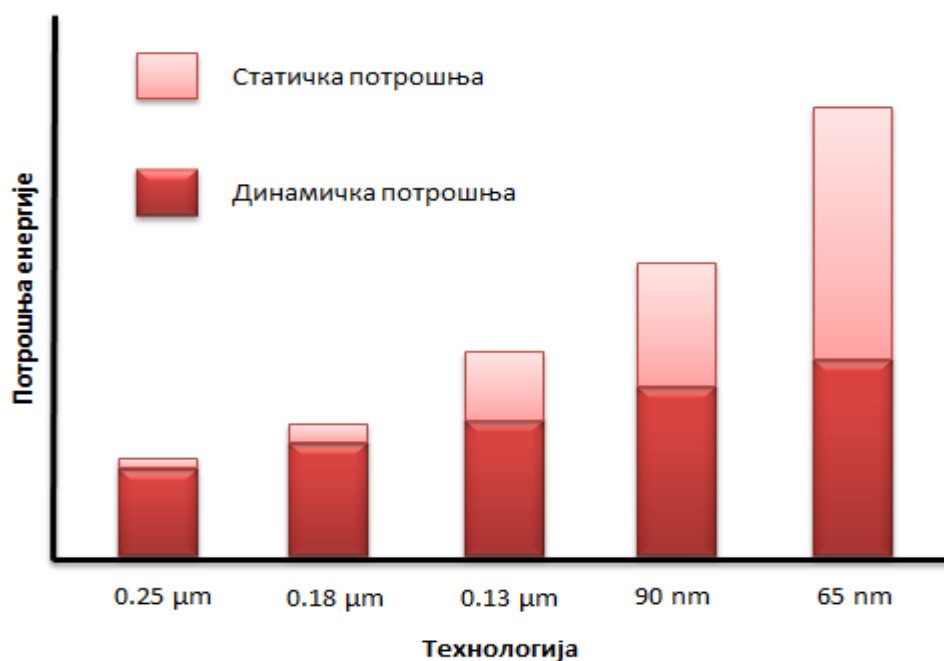
N_c – Број извршених циклуса

Да би се одредила средња снага извршавања апликације, приликом обраде улазног сигнала, из једначине (1) може се приметити да је потребно одредити две независне променљиве: број извршених циклуса и средњу снагу расипања сваког појединачног циклуса (5). Информација о броју извршених циклуса се добија посредством алата за профилисање изворног кода - Профајлера, тако да се може сматрати да је та информација доступна.

Оно што чини основу овог истраживања јесте одрђивање друге независне променљиве једначине (1), то јест, средње снаге расипања (5), односно укупне енергије расипања, сваког појединачног циклуса. Како би се једноставније превазишао тај проблем приступило се методологији подели-па-владај. Утрошак електричне енергије који се добије извршавањем једног циклуса се разлаже на његове основне компоненте (5). Да би се идентификовале компоненте потрошње било је неопходно прво изучити сродну литературу (Tiwari, Malik and Wolfe 1994) (Graybill / Melhem 2002) (Konstantakos, Chatzigeorgiou, и други 2008) (Kavvadias, и други 2004) (Basmadjian / de Meer 2012) (Baker 2011) (Oshana, Power Optimization Techniques Using DSP 2016), а затим извршити експерименте и утврдити реално стање ствари на циљној платформи.

Као што је претходно наведено постоје две независне компоненте потрошње енергије код CMOS интегрисаних кола, статичка и динамичка (5). Статичка компонента је детаљно обрађена у поглављу 4.1.1. Изучавањем литературе (Baker 2011) (Oshana, Power Optimization Techniques Using DSP 2016) и извођењем експеримената на циљној платформи, дошло се до закључка да на динамичку или активну компоненту потрошње у највећој мери утичу: потрошња неактивних језгара (4.1.2.1), потрошња услед активности периферија 4.1.2.2, основна потрошња инструкција (4.1.2.3) и међуинструкцијска потрошња (4.1.2.3.2), па се сходно томе моделује динамичка компонента.

Важно је напоменути да статичка дисипација настаје када су транзистори у исљученом стању, када нема дистрибуције такта на платформи, док динамичка дисипација настаје као последица активности интегрисаног кола, што за последицу има пуњење и пражњење излазних капацитивности транзистора. У раном развоју CMOS транзистора, статичка компонента је чинила веома мали удео у укупној потрошњи енергије, Слика 4., међутим, повећањем брзине и густине израде CMOS транзистора, статичка компонента постаје доминантна у целокупној потрошњи (Panić, Power Consumption 2014).



Слика 4. Статичка и динамичка потрошња енергије код различитих технологија процесних чворова.

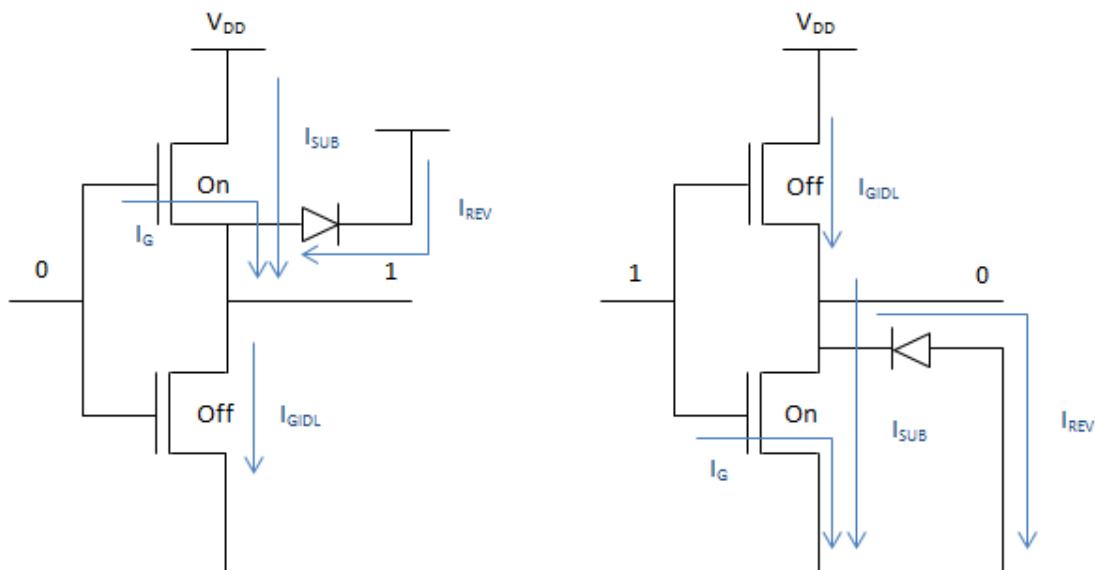
У Табели 1. дата је пројекција потрошње енергије за различите технологије процесних чворова (Panić, Power Consumption 2014). Као што се може видети величина процесног чвора је обрнуто пропорционална динамичкој потрошњи електричне енергије, док статичка потрошња, смањењем величине процесног чвора, драстично расте.

Табела 1. Пројекција потрошње енергије за различите технологије процесних чворова.

Чвор	90nm	65nm	45nm
Динамичка снага по cm^2	1X	1.4X	2X
Статичка снага по cm^2	1X	2.5X	6.5X
Укупна снага по cm^2	1X	2X	4X

4.1.1 Статичка компонента

Статичка потрошња снаге, или како се још карактерише као снага цурења, настаје као последица струје цурења транзистора када је он у искљученом стању. Струју цурења CMOS транзистора узрокује неколико чинилаца (Panić, Static Power Loss 2014) (Baker 2011) (Mirković / Milovanović 2011) приказаних на Слици 5.:



Слика 5. Струје цурења CMOS инвертера при различитим стањима гејта.

Струја цурења I_{REV} настаје услед реверзне поларизације p-n споја, која је релативно мала. Струја I_{SUB} представља подпраговско цурење на релацији *source-to-drain*, чак и кад је транзистор у искљученом стању. Ова компонента статичке потрошње расте експоненцијално како се технологија израде процесних чворова (10stripe 2008) смањује, као последица смањивања напона напајања и приближавања напону прага провођења. Како се тежи смањењу дебљине оксида, повећава се могућност да струја I_G директно прође кроз оксид гејта. Ова компонента може имати значајан утицај на статичку потрошњу. Смањује се увођењем додатних слојева диелектрика (Baker 2011). Струја I_{GIDL} представља цурење на дрејну узроковано гејтом (Gate Induced Drain Leakage-GIDL) које настаје као последица утицаја јаког електричног поља на прикључку дрејна (Mirković / Milovanović 2011).

Укупна струја цурења закоченог CMOS транзистора може се представити следећим изразом:

$$I_{off} = I_{REV} + I_{SUB} + I_G + I_{GIDL} \quad (10)$$

Од четири компоненте најдоминантнија је струја I_{SUB} (Mirković / Milovanović 2011), па се сходно томе технике минимизације цурења струје у стању мировања фокусирају на смањење подпраговске струје цурења.

Укупна струја цурења CMOS интегрисаног кола може се представити као сума струја цурења свих његових транзистора (11). Ако се интегрисано коло састоји од K транзистора, а струја цурења k -тог транзистора је $I_{off(k)}$, онда се укупна струја цурења CMOS интегрисаног кола може представити следећим изразом:

$$I_{stat} = \sum_{k=0}^K I_{off(k)} \quad (11)$$

Статичка компонента снаге расипања P_s представља потрошњу струје I_{stat} при напону платформе V_{DD} , која не зависи од варирања фреквенције радног такта:

$$P_s = I_{stat} \times V_{DD} \quad (12)$$

Мерење ове компоненте не представља тривијалан задатак. Како би се омогућило правилно мерење на наменској DSP платформи, неопходно је прво поставити жељене вредности параметара као што су: фреквенција, дистрибуција такта, напон напајања, и слично. Да би наведене акције успешно реализовали потребно је обезбедити такт микроконтролеру задуженом за постављање вредности и синхронизацију свих компоненти на наменској платформи. Може се закључити да је дистрибуција такта неопходан услов да би се мерно окружење правилно подесило, што је у супротности са захтевом који диктира статичка компонента, да се такт укине. Да би се превазишла контрадикторност услова за мерење статичке компоненте, ставља се фокус на претходно наведену особину, да расипање статичке снаге не зависи од варирања фреквенције. Управо је та особина послужила као кључни елемент за мерење статичког расипања. Наиме, на наменску платформу се спусти унапред припремљена конфигурација жељених параметара постављених алатом за отклањање грешака.

Покретање сесије доводи до постављања подешених параметара на самом хардверу и заустављања извршавања програма на почетној адреси. Како би се умањио утицај динамичке компоненте на мерење, такт се укида свим језгрима и периферијама, осим микроконтролеру. У таквом режиму, где је микроконтролер заустављен, а дистрибуција такта осталим језгрима и периферијама онемогућена, може се приметити да остају две компоненте потрошње актуелне:

- 1) Статичка потрошња енергије
- 2) Динамичка потрошња енергије заустављеног микроконтролера

Као што је већ наведено, динамичка потрошња енергије заустављеног микроконтролера настаје услед дистрибуције такта на наведеном језгру, које је неопходно како би се правилно подесило мерно окружење. Остале динамичке компоненте потрошње интегрисаног CMOS кола не постоје, услед селективног укидања такта на остатку наменске платформе.

Статичка потрошња енергије зависи искључиво од напона напајања, који је углавном програмабилан на наменским платформама са веома ниском потрошњом енергије, како би се могло утицати и на ову компоненту потрошње зарад уштеде енергије. Важно је приметити још да се скалалирањем напона напајања утиче на време транзиције прелазних стања транзистора, тако да се то не сме изоставити из разматрања, како се не би пореметила динамика CMOS кола.

Као што је наведено, особина статичког расипања је да не зависи од фреквенције радног такта, док је динамичка снага расипања директно сразмерна тој величини. Управо су те особине послужиле за мерење статичке потрошње. Узимајући у обзир наведену чињеницу, приступило се мерењу потрошње снаге при четири различите фреквенције радног такта. Прво је мерена снага при основној фреквенцији од 10.24 MHz, а затим је фреквенција радног такта дељена са два, четири и осам, па су измерене вредности коришћене за рачунање статичког расипања постављањем једначина (13).

$$\begin{aligned} P_{d1} + P_{stat} &= P_{m1} \\ \frac{P_{d1}}{d} + P_{stat} &= P_{m2} \end{aligned} \quad (13)$$

P_{d1} – динамичка компонента снаге заустављеног микроконтролера

P_{stat} – статичка компонента снаге наменске платформе

P_{m1} – измерена снага при основној фреквенцији радног такта

P_{m2} – измерена снага при подељеној фреквенцији радног такта

d – делитељ фреквенције радног такта

Једначине (13) су постављене узимајући у обзир наведену методологију мерења, дељење основне фреквенције, и чињенице да статичко расипање не зависи од исте, а да је динамичко директно сразмерно. Како се снага мери тако што се измери јачина струје при константном напону, једначине (13) могу се представити на следећи начин:

$$\begin{aligned} I_{d1} + I_{stat} &= I_{m1} \\ \frac{I_{d1}}{d} + I_{stat} &= I_{m2} \end{aligned} \quad (14)$$

Када се реши постављени систем једначина добија се израз за рачунање статичког расипања CMOS интегрисаног кола, коришћењем методологије мерења, дељењем основне фреквенције радног такта:

$$I_{stat} = \frac{d \times I_{m2} - I_{m1}}{d - 1} \quad (15)$$

Табела 2. Измерена снага при различитим фреквенцијама радног такта.

Freq [MHz]	d	$I_{m(d)}$ [μA]	V_{DD} [V]	P_m [μW]
10,24	1	740	1,25	925
5,12	2	550	1,25	687,5
2,56	4	452,7	1,25	565,875
1,28	8	404,3	1,25	505,375

Табела 2. приказује измерене вредности снаге при различитим учестаностима радног такта. Основни такт, који износи 10,24MHz, се дели са два, четири и осам, па се при таквим условима мери струја напајања. На основу Табеле 2. и израза (15) рачунамо струју статичког расипања (Табела 3.).

Табела 3. Прорачун струје статичког расипања при различитим вредностима учестаности радног такта.

$f = 10,24$ [MHz]	$I_{stat1} [\mu A]$ $f / (d=1)$	$I_{stat2} [\mu A]$ $f / (d=2)$	$I_{stat4} [\mu A]$ $f / (d=4)$	$I_{stat8} [\mu A]$ $f / (d=8)$
$I_{stat1} [\mu A]$ $f / (d=1)$	x	360	356,9333	356,3429
$I_{stat2} [\mu A]$ $f / (d=2)$	360	x	355,4	355,7333
$I_{stat4} [\mu A]$ $f / (d=4)$	356,9333	355,4	x	355,9
$I_{stat8} [\mu A]$ $f / (d=8)$	356,3429	355,7333	355,9	x

У Табели 3. можемо видети које се вредности статичке струје расипања добију када се израз (15) примени на резултате мерења приказане у Табели 2. На основу добијених вредности може се израчунати аритметичка средина и стандардна девијација:

$$I_{stat} = \frac{1}{n} \sum_{i=1}^n I_{stat(i)} = 356,7183 \mu A \quad (16)$$

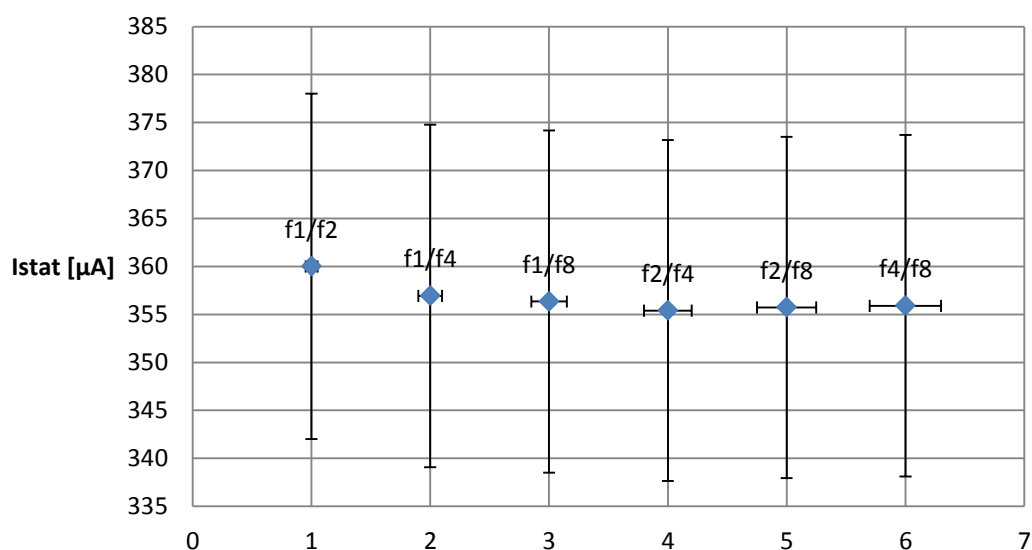
$$\sigma = \sqrt{\frac{1}{n-1} \sum_{i=1}^n (I_{stat(i)} - I_{stat})^2} = 1.955126 \quad (17)$$

σ – стандардна девијација

n – број елемената у узорку

I_{stat} – аритметичка средина измерених вредности статичке струје

Као што се може приметити, стандардна девијација је мања од $2 \mu A$, док је релативна девијација око 0.5%, на основу чега се може закључити да су добијене вредности стабилне, а методологија мерења валидна.



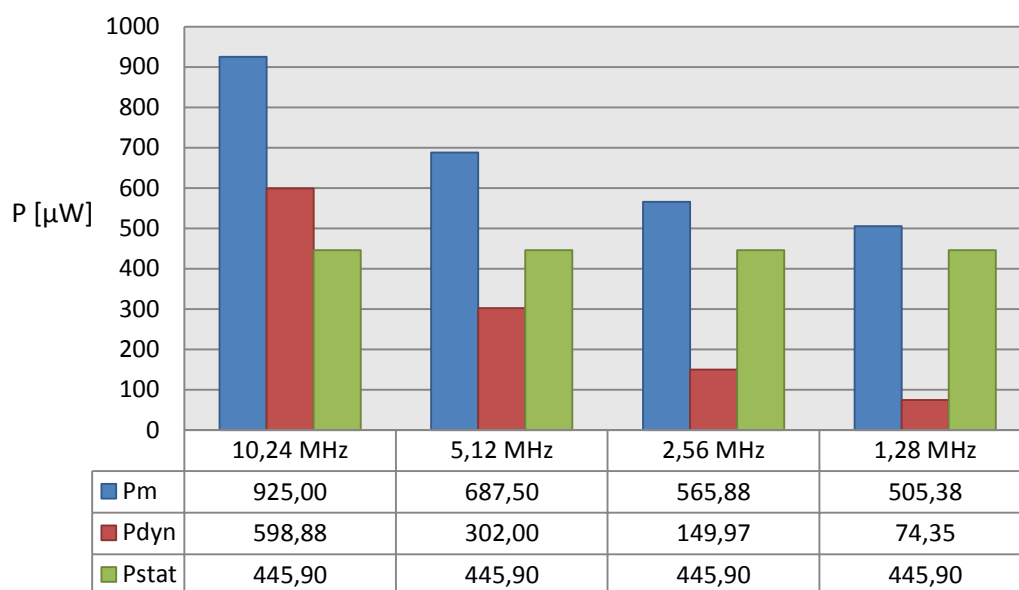
Слика 6. Статичка струја расипања рачуната при различитим комбинацијама фреквенције радног такта.

Слика 6. графички приказује Табелу 3., где f представља основну фреквенцију радног такта (10,24 MHz), а суфикс делитељ d . Тако на пример, код трећег прорачуна можемо приметити израз f_1/f_8 , што практично значи да је статичка струја рачуната тако што су измерене вредности струја из Табеле 2. при основној фреквенцији ($d_1=1$) и подељеној фреквенцији ($d_8=8$) уврштене у израз (15) тако да се делитељ рачуна на следећи начин:

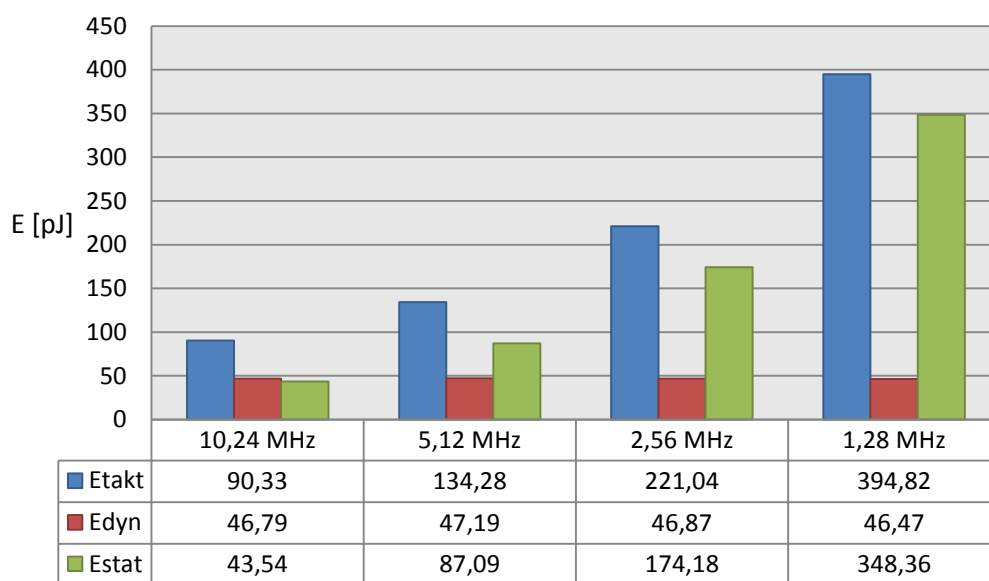
$$d = \frac{d_8}{d_1} = 8 \quad (18)$$

На Слици 7. приказан је тренд снаге циљне платформе приликом мерења статичког расипања, користећи претходно описана подешавања. Може се приметити да динамичка компонента снаге расипања опада пропорционално са фреквенцијом радног такта услед међусобне зависности описане изразом (8), док статичка компонента снаге расипања остаје константна током времена што произилази из израза (12).

Како је енергија пропорционална времену вршења рада (19), може се приметити да статичка енергија расипања расте пропорционално са повећањем периоде такта.



Слика 7. Тренд снаге CMOS кола при различитим фреквенцијама радног такта.



Слика 8. Тренд снаге и утрошка енергије CMOS кола при различитим фреквенцијама радног такта.

$$E_{takt} = P \times T_{takt} \quad (19)$$

E_{takt} – утрошак енергије у току једног такта

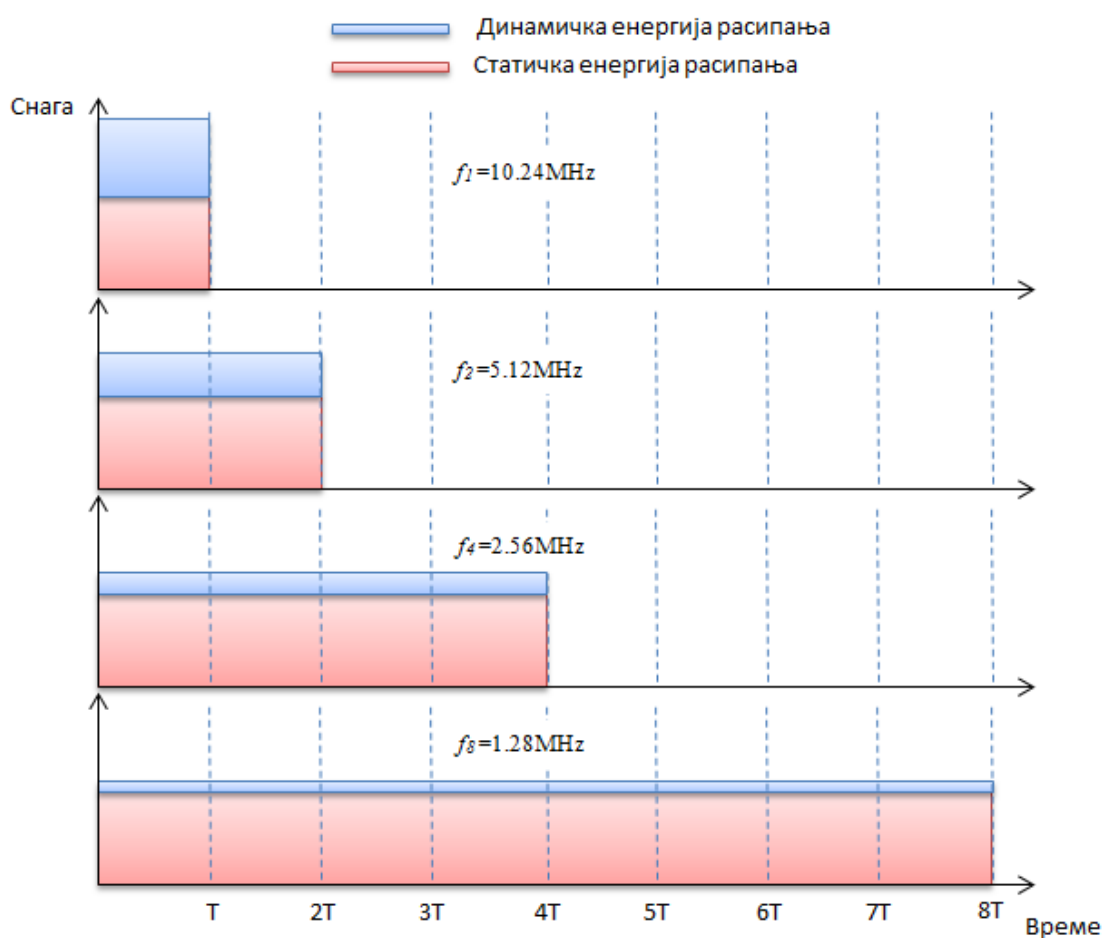
P – средња снага такта

T_c – периода такта

Са друге стране, динамичка компонента потрошње енергије остаје константна приликом промене фреквенције радног такта, што произилази из (8) и (19).

$$E_{dyn} = V_{DD} \times I_{dyn} \times T_{takt} = P_{dyn} \times T_{takt} = \frac{1}{T_{takt}} \times C_{eff} \times V_{DD}^2 \times T_{takt} = C_{eff} \times V_{DD}^2 \quad (20)$$

Дакле, може се извести следећи закључак, да статичка компонента снаге расипања и динамичка компонента енергије расипања не зависе од времена трајања радног такта. Изведени закључак најјасније илуструје Слика 9. Површина плавог правоугаоника, која представља динамичку потрошњу енергије, остаје константна без обзира на промену периоде радног такта. Висина црвеног правоугаоника, која представља статичку снагу расипања, остаје константна током времена.



Слика 9. Укупна енергија расипања у току једног такта, при различитим фреквенцијама.

Постоји више различитих техника за смањивање снаге цурења. Најдоминантије се односе на скалирање или укидање напона напајања одређеним блоковима тако што се напон спушта на најмањи могући ниво, а да се при томе не угрози функционалност, или се напон потпуно укине уколико је одређени блок у стању мировања. Да би се омогућило овакво управљање напоном, платформа се пројектује тако да различити блокови имају различите изворе напајања V_{DD} , такозвана напонска острва (Hu, и други 2004) (Wong 2007) (Pagan, Chen and Li 2014). Такође, уколико наменска платформа подржава овакав ниво управљивости напона напајања блокова, могуће је прилагодити програмски преводац да генерише код који користи ту могућност, како би преведени код био енергетски ефикасан (Ozturk, Kandemir / Chen 2011).

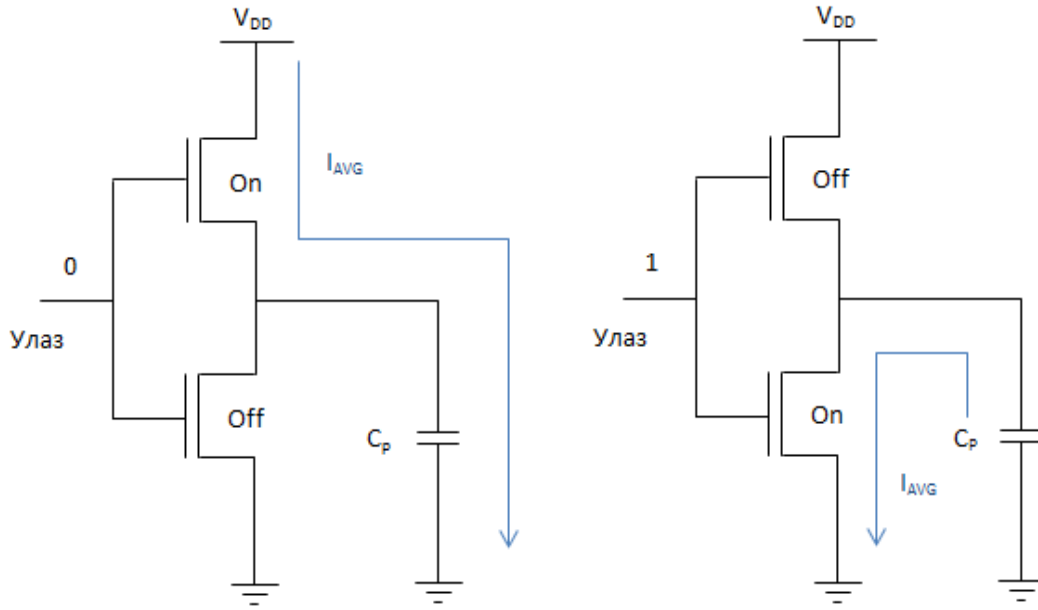
Статичка снага, или снага цурења, настаје приликом стављања транзистора под напајање. Смањивање или укидање радног такта платформе нема непосредан утицај на ову компоненту потрошње, али као што се види са Сlike 8, уколико је укупно време извршавања програма краће, то јест, фреквенција такта већа, утолико се мање статичке енергије потроши (19). Из табеле са Сlike 8. може се приметити да се повећањем трајања радног такта осам пута, у односу на основну фреквенцију, укупан утрошак енергије повећа више од четири пута, што је непосредна последица која произилази из израза (12). Из свега наведеног може се извести закључак, да би се смањило статичко расипање енергије, потребно је тежити што већој фреквенцији радног такта и што нижем напону напајања, односно, пожељно је укидати напон и такт блоковима који у одређеном тренутку не учествују обради.

4.1.2 Динамичка компонента

Динамичка дисипација CMOS интегрисаних кола настаје услед промене логичких стања. Постоје три узрока динамичке дисипације CMOS кола (Poročić 2006): капацитивност оптерећења, интерне капацитивности и прелазна стања. Струју транзистора у активном стању можемо дефинисати следећим изразом:

$$I_{AVG} = \frac{Q_p}{T} = \frac{V_{DD} \times C_p}{T} \quad (21)$$

C_p – капацитивност оптерећења



Слика 10. Динамичка потрошња струје CMOS инвертора побуђеног поворком импулса.

Средња динамичка дисипација CMOS транзистора оптерећеног капацитивним оптерећењем C_P , која настаје када се транзистор побуди правоугаоном поворком импулса, са истом периодом импулса и паузе, може се представити следећим изразом:

$$P_{KO} = V_{DD} \times I_{AVG} = \frac{C_P \times V_{DD}^2}{T} = C_P \times V_{DD}^2 \times f \quad (22)$$

Ако се паразитне капацитивности представе са C_T , онда се средња снага која се дисипира приликом промене стања CMOS транзистора, услед постојања паразитних капацитивности, може представити следећим изразом:

$$P_P = C_T \times V_{DD}^2 \times f \quad (23)$$

Динамичка компонента снаге која настаје услед струје кратког споја, приликом промене стања транзистора, може се описати изразом (Panić, Power Consumption 2014):

$$P_{KS} = t_{KS} \times V_{DD} \times I_{max} \times f \quad (24)$$

Време t_{ks} , представља период трајања струје кратког споја I_{max} . Из свега наведеног може се извести израз за динамичку дисипацију CMOS транзистора:

$$P_{dynT} = P_{KO} + P_P + P_{KS} = (V_{DD} \times f)((C_P + C_T) \times V_{DD} \times f + t_{KS} \times I_{max}) \quad (25)$$

Уколико занемаримо утицај струје кратког споја, услед веома кратког трајања прелазног стања t_{ks} , и ако збир паразитне капацитивности и капацитивног оптерећења представимо еквивалентном капацитивности C_E , тада се израз (25) претвара у:

$$P_{dynT} = C_E \times V_{DD}^2 \times f \quad (26)$$

Дакле може се закључити да је динамичка дисипација CMOS транзистора пропорционална еквивалентном капацитивном оптерећењу које се пуни и празни приликом промене стања транзистора. Уколико еквивалентно капацитивно оптерећење CMOS транзистора n , износи C_{En} , тада динамичка дисипација CMOS кола може бити дефинисана као збир динамичких дисипација активних транзистора CMOS кола:

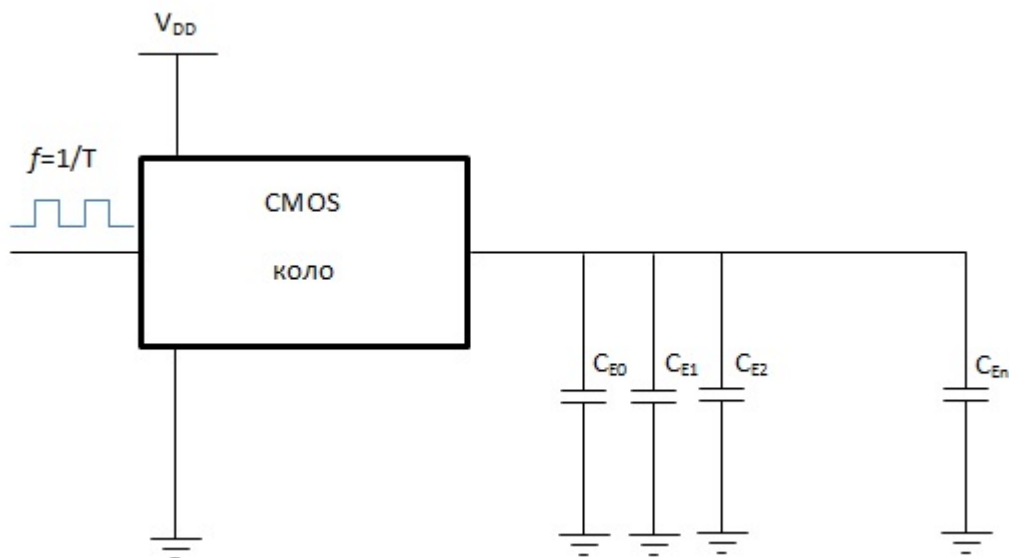
$$C_{eff} = \sum_{n=0}^{K-1} C_{En} \quad (27)$$

$$P_{dyn} = \sum_{n=0}^{K-1} P_{dynTn} = V_{DD}^2 \times f \times \sum_{n=0}^{K-1} C_{En} = V_{DD}^2 \times f \times C_{eff} \quad (28)$$

K – број активних транзистора CMOS кола

C_{eff} – ефективно капацитивно оптерећење CMOS кола

Слика 11. најбоље илуструје изведени израз (28). Како су фреквенција радног такта и напон напајања познати, проблем естимације динамичке снаге се своди на одређивање ефективног капацитивног оптерећења CMOS кола C_{eff} .



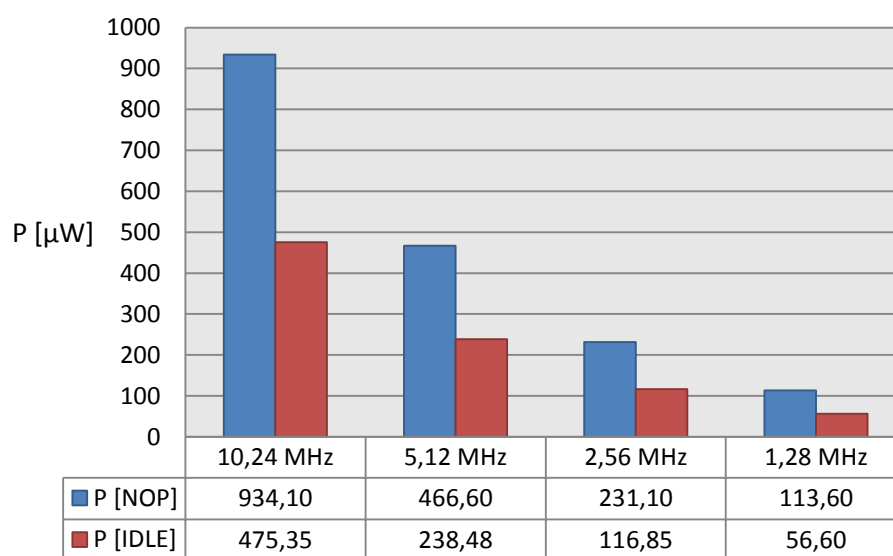
Слика 11. Динамичка потрошња CMOS кола.

Ефективно капацитивно оптерећење CMOS кола C_{eff} (27), представља укупно еквивалентно капацитивно оптерећење активних транзистора. Одређивањем ефективног капацитивног оптерећења практично се добија количина наелектрисања која се помера. Уколико је познат напон при ком се врши померање наелектрисања, лако се рачуна активна (динамичка) енергија (20), а ако је при том позната и учестаност те промене, из израза (28) произилази динамичка снага.

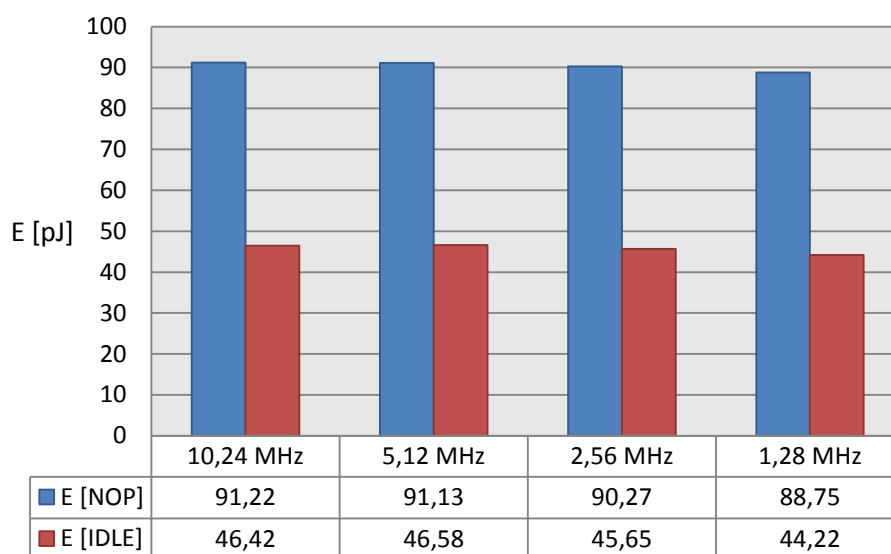
4.1.2.1 Енергија и снага расипања неактивног језгра

Неактивно језгро подразумева стање када је језгро заустављено слањем команде СТОП, што се дешава нпр. када се у покренутој сесији за отклањање грешака иницира акција за паузу, или извршавањем инструкције IDLE. Многе DSP апликације се ослањају на догађаје, што подразумева чекање на догађај, које се углавном реализује на два начина: извршавањем NOP инструкције у бесконачној петљи или извршавањем IDLE инструкције (Oshana, Event-Driven Loops Applications 2006).

Слика 12. приказује тренд динамичке снаге расипања за оба случаја, када се ишчекујући догађај чека извршавањем NOP инструкције у бесконачној петљи, и када се догађај чека стављањем језгра у неактиван режим, извршењем инструкције IDLE. Мерења су изведена при четири различите учестаности радног такта.



Слика 12. Тренд динамичке снаге расипања NOP и IDLE инструкција.



Слика 13. Тренд динамичке енергије расипања NOP и IDLE инструкција.

На Слици 13. је приказан тренд активне енергије расипања NOP и IDLE инструкција, при четири различите фреквенције радног такта. Индикативно је да активна енергија расипања не зависи од промене учестаности радног такта, што је такође илустровано Сликаом 9. Може се приметити да је динамичка енергија NOP инструкције скоро дупло већа него када се језгро стави у мировање IDLE инструкцијом. Друга предност коришћења IDLE инструкције произилази из могућности укидања радног такта језгру које се налази у неактивном стању, чиме се онда у потпуности укида активна компонента енергије расипања. Такав сценарио је могуће применити над свим језгрима циљне платформе, осим на микроконтролеру, који синхронизује све акције на платформи.

Табела 4. Измерене и израчунате вредности NOP и IDLE инструкција.

Freq [MHz]	I_{NOP} [μA]	I_{IDLE} [μA]	E_{NOP} [pJ]	E_{IDLE} [pJ]	P_{NOP} [μW]	P_{IDLE} [μW]
10,24	758,28	392,28	92,56	47,89	947,85	490,35
5,12	383,28	200,78	93,57	49,02	479,10	250,98
2,56	194,48	103,28	94,96	50,43	243,10	129,10
1,28	99,88	54,58	97,54	53,30	124,85	68,23

Табела 4. приказује измерене вредности струје при извршавању NOP инструкције у бесконачној петљи I_{NOP} , и измерену струју када је језгро постављено у неактивни режим извршавањем инструкције IDLE. На основу измерених вредности, при константном напуну циљне платформе ($V_{DD}=1.25V$),

користећи израз (22) рачуна се снага динамичког расипања, док се енергија активног расипања добија множењем снаге и периоде такта (20). На основу израчунатих вредности снаге динамичког расипања и израза (28), рачуна се ефективна капацитивност CMOS интегрисаног кола, која је приказана у Табели 5.

Као што се из Табеле 5. може приметити, добијене вредности су веома блиске, релативна девијација за NOP инструкцију износи 1,27%, док у случају IDLE инструкције, релативна девијација износи 2,36%. Као што је раније напоменуто, ефективна капацитивност представља збирну вредност еквивалентних капацитивних оптерећења активних транзистора, што представља укупну количину наелектрисања коју је потребно премештати приликом извршавања неке инструкције. На основу те вредности могуће је израчунати вредност динамичке снаге (28) и енергије (20) при било којој учестаности радног такта. Узимајући ту чињеницу у обзир, сва наредна мерења ће се изводити у циљу рачунања вредности ефективног капацитивног оптерећења, а изведени математички модел за естимацију снаге и енергије расипања вишејезгарне наменске апликације ће бити у функцији те вредности.

Како би се испитала тачност естимације динамичке снаге и енергије неактивног језгра, на основу вредности аритметичке средине измерених вредности ефективне капацитивности, приказане у Табели 5., приступило се експерименту.

Табела 5. Израчунате вредности ефективне капацитивности CMOS кола.

Freq [MHz]	C _{NOP} [pF]	C _{IDLE} [pF]
10,24	58,38	29,71
5,12	58,33	29,81
2,56	57,78	29,21
1,28	56,80	28,30
Аритметичка Средина	57,82	29,26

Табела 6. Измерене и естимиране вредности динамичке снаге NOP инструкције.

Freq [MHz]	P_{NOP} [μW]	Pe_{NOP} [μW]	Тачност
10,24	934,1	925,13	99,04%
5,12	466,6	462,56	99,13%
3,413	309,73	308,37	99,56%
2,56	231,1	231,28	99,92%
1,707	152,23	154,19	98,71%
1,28	113,6	115,64	98,20%
0,853	73,98	77,09	95,80%

Мерене су вредности струје при различитим учестаностима, а затим су поређене измерене (P_{NOP}) и естимиране вредности снаге (Pe_{NOP}) и енергије расипања. У Табели 6. дат је преглед добијених резултата. Може се приметити да је тачност естимације динамичке снаге расипања неактивног језгра, док извршава NOP инструкцију у бесконачној петљи, веома висока. Уколико се прорачун естимације прошири са статичком компонентом снаге, тачност се повећава, што се може видети у Табели 7.

Естимација динамичке енергије једне периоде CMOS кола, док се микроконтролер налази у режиму ишчекивања догађаја, извршавајући NOP инструкцију у бесконачној петљи, рачуна се изразом (20), у који се уврштавају израчунате вредности приказане у Табели 5.

Табела 7. Измерене и естимиране вредности укупне снаге расипања NOP инструкције.

Freq [MHz]	P_M [μW]	$Pe_{stat}+Pe_{NOP}$ [μW]	Тачност
10,24	1380	1371,03	99,35%
5,12	912,5	908,46	99,56%
3,413	755,625	754,27	99,82%
2,56	677	677,18	99,97%
1,707	598,125	600,09	99,67%
1,28	559,5	561,54	99,64%
0,853	519,875	522,99	99,40%

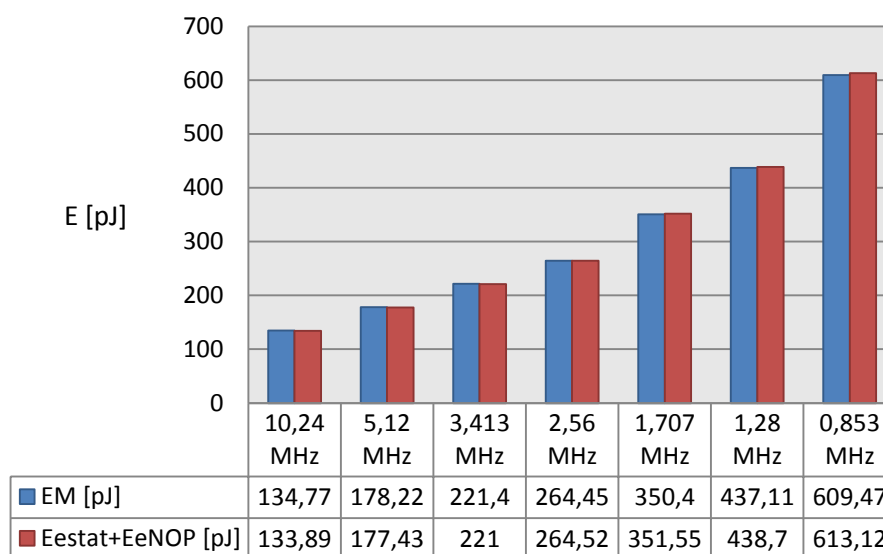
Табела 8. Измерене и естимиране вредности динамичке енергије NOP инструкције.

Freq [MHz]	E_{NOP} [pJ]	Ee_{NOP} [pJ]	Тачност
10,24	91,22	90,35	99,04%
5,12	91,13	90,35	99,14%
3,413	90,75	90,35	99,55%
2,56	90,27	90,35	99,92%
1,707	89,18	90,35	98,69%
1,28	88,75	90,35	98,20%
0,853	86,73	90,35	95,83%

Мерење динамичке енергије док се CMOS коло налази у истом режиму остварује се тако што се мери укупна струја која се добија из напајања, од које се затим одузме статичка компонента те струје израчуната изразом (16), а затим се помножи напоном напајања и периодом такта (20). Табела 8. приказује измерене и естимиране вредности дисипације динамичке енергије приликом извршавања NOP инструкције у бесконачној петљи. Као што се може приметити тачност естимације је прилично висока, са просечном грешком од 1.37%. Уколико се у прорачун естимације уврсти и енергија дисипације настала услед струје цурења (статичка компонента) тада естимација постаје веома висока са просечном грешком од 0.37%, а не већом од 0.65%. Табела 9. приказује измерене (E_M) и естимиране вредности ($Ee_{stat}+Ee_{NOP}$) укупне енергије дисипације (статичка+динамичка) у току извршавања NOP инструкције у бесконачној петљи, при различитим учестаностима радног такта.

Табела 9. Измерене и естимиране вредности укупне енергије дисипације једног такта NOP инструкције.

Freq [MHz]	E_M [pJ]	$Ee_{stat}+Ee_{NOP}$ [pJ]	Тачност
10,24	134,77	133,89	99,35%
5,12	178,22	177,43	99,56%
3,413	221,40	221,00	99,82%
2,56	264,45	264,52	99,97%
1,707	350,40	351,55	99,67%
1,28	437,11	438,70	99,64%
0,853	609,47	613,12	99,40%



Слика 14. Тренд укупне енергије расипања NOP инструкције.

Слика 14. приказује тренд укупне потрошње енергије у току једног радног такта приликом извршавања NOP инструкције у бесконачној петљи. Може се приметити значајан пораст потрошње енергије приликом смањивања фреквенције радног такта. Како је динамичка компонента енергије константна, не зависи од периоде радног такта, тај пораст се може приписати статичком расипању. Слика 9. најбоље илуструје разлог пораста укупне енергије услед смањења учестаности радног такта.

Да би се утврдила тачност естимације енергије и снаге неактивног језгра, доведеног у то стање извршавањем IDLE инструкције, приступило се истом експерименту, као и у случају извршавања NOP инструкције у бесконачној петљи. Табела 10. приказује измерене вредности динамичке снаге неактивног језгра P_{idle} при различитим фреквенцијама радног такта, као и естимиране вредности активне снаге, израчунате на основу вредности C_{idle} из Табеле 5.,

Табела 10. Измерене и естимиране вредности динамичке снаге IDLE инструкције.

Freq [MHz]	P_{IDLE} [μW]	P_{eIDLE} [μW]	Тачност
10,24	475,35	468,13	98,48%
5,12	238,48	234,08	98,15%
3,413	157,23	156,05	99,25%
2,56	116,85	117,04	99,84%
1,707	76,1	78,03	97,46%
1,28	56,6	58,52	96,61%
0,853	35,85	39,01	91,19%

Табела 11. Измерене и естимирани вредности укупне снаге расипања IDLE инструкције.

Freq [MHz]	P_M [μW]	$P_{e_{stat}} + P_{e_{idle}}$ [μW]	Тачност
10,24	921,25	914,03	99,22%
5,12	684,38	679,98	99,36%
3,413	603,13	601,95	99,80%
2,56	562,75	562,94	99,97%
1,707	522,00	523,93	99,63%
1,28	502,50	504,42	99,62%
0,853	481,75	484,91	99,34%

познатог напона напајања $V_{DD}=1.25V$ и учестаности радног такта, које су затим уврштене у израз (28). Може се приметити да је тачност естимације прилично висока, са просечном грешком од 2.72%.

У Табели 11. су приказане вредности укупне снаге расипања неактивног језгра (статичка+динамичка), као што се може приметити тачност естимације је изузетно висока са просечном грешком од 0,44%, а не већом од 0,78%. Важно је напоменути да се измерена снага (P_M), као и у случају NOP инструкције, рачуна на следећи начин:

$$P_M = I_M \times V_{DD} \quad (29)$$

где I_M представља измерену струју напајања након извршене IDLE инструкције, чиме се микроконтролер поставља у неактивно стање, док V_{DD} представља напон напајања платформе.

Естимирана вредност укупне снаге расипања рачуна се на следећи начин:

$$P_{e_{stat}} + P_{e_{idle}} = I_{stat} \times V_{DD} + V_{DD}^2 \times f \times C_{idle} \quad (30)$$

за I_{stat} се узима вредност добијена из израза (16), док се вредност C_{idle} узима из Табеле 5.

Табела 12. Измерене и естимирани вредности динамичке енергије IDLE инструкције.

Freq [MHz]	E_{idle} [pJ]	$E_{e_{idle}}$ [pJ]	Тачност
10,24	46,42	45,72	98,48%
5,12	46,58	45,72	98,15%
3,413	46,07	45,72	99,24%
2,56	45,64	45,72	99,84%
1,707	44,58	45,72	97,45%
1,28	44,22	45,72	96,61%
0,853	42,03	45,72	91,22%

У Табели 12. су приказане измерене и естимирани вредности активне енергије расипања након извршене IDLE инструкције. Измерена динамичка енергија E_{IDLE} , се добија када се измерена снага P_{IDLE} из Табеле 10., помножи са периодом такта:

$$E_{IDLE} = P_{IDLE} \times T = P_{IDLE} \times \frac{1}{f} \quad (31)$$

Естимирана вредност динамичке енергије се добија следећим изразом:

$$Ee_{IDLE} = C_{IDLE} \times V_{DD}^2 \quad (32)$$

где се, као што је већ напоменуто, C_{IDLE} , која представља ефективну капацитивност CMOS кола након извршене IDLE инструкције, узима из Табеле 6. Уколико се у обзир узме и статичка енергија расипања, тада естимација укупне енергије расипања, при различитим учестаностима радног такта, постаје веома тачна, са просечном грешком од 0.44%, а не већом од 0.78% (Табела 13).

Табела 13. Измерене и естимирани вредности укупне енергије дисипације једног такта неактивног микроконтролера.

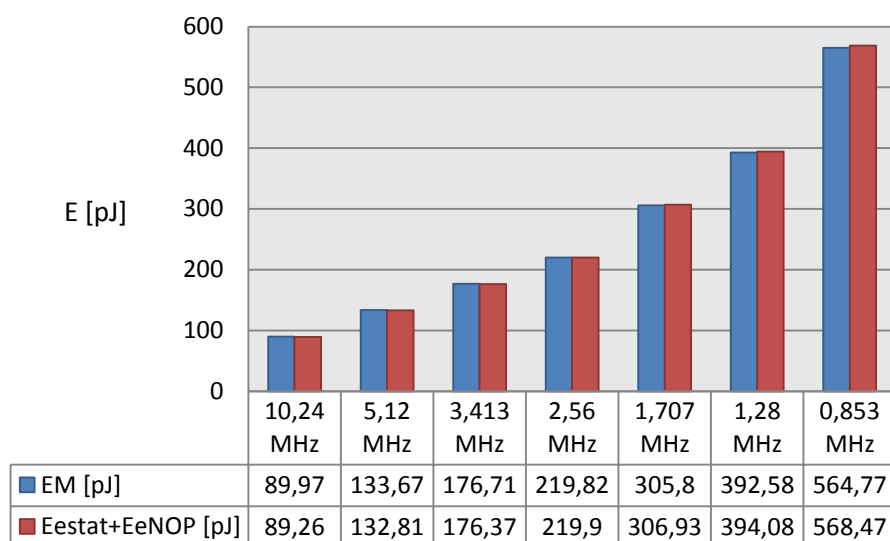
Freq [MHz]	E_M [pJ]	$Ee_{stat} + Ee_{IDLE}$ [pJ]	Тачност
10,24	89,97	89,26	99,22%
5,12	133,67	132,81	99,36%
3,413	176,71	176,37	99,80%
2,56	219,82	219,90	99,97%
1,707	305,80	306,93	99,63%
1,28	392,58	394,08	99,62%
0,853	564,77	568,47	99,34%

Измерена вредност укупне енергије се рачуна тако што се измерена снага (P_M) из Табеле 11. помножи са периодом такта:

$$E_M = P_M \times T = P_M \times \frac{1}{f} \quad (33)$$

Естимација укупне дисипиране енергије у току једног такта, након што је микроконтролер постављен у стање мировања, извршавањем инструкције IDLE, рачуна се следећим изразом:

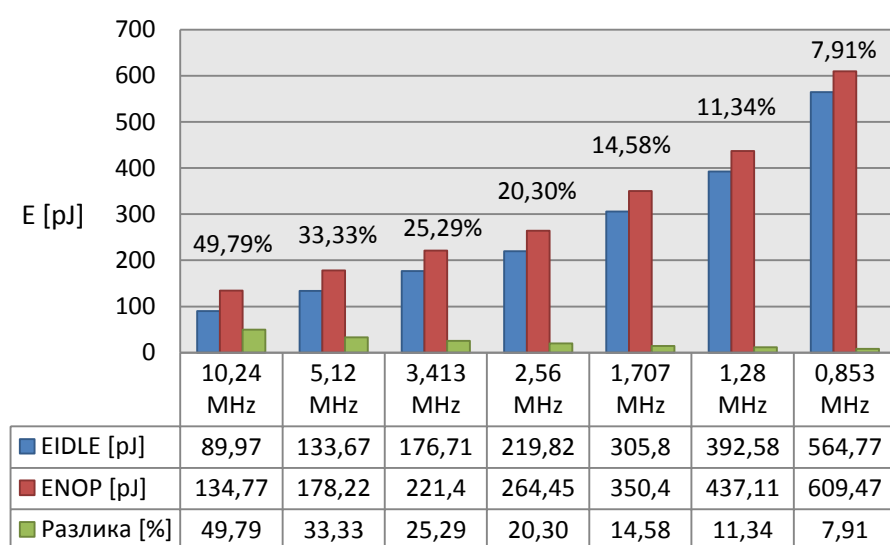
$$Ee_{stat} + Ee_{IDLE} = I_{stat} \times V_{DD} \times \frac{1}{f} + V_{DD}^2 \times C_{IDLE} \quad (34)$$



Слика 15. Тренд укупне енергије расипања неактивног језгра.

Као и у случају NOP инструкције, Слика 14., може се приметити значајан пораст потрошње укупне енергије неактивног (IDLE) језгра у току једног циклуса, услед смањења учестаности радног такта. Како је раније закључено, то се дешава услед статичке компоненте енергије, чија снага не зависи од учестаности, већ је константна (12), што има за последицу да се укупна потрошња енергије повећава са повећањем периоде такта (Слика 9).

На Слици 16. дат је приказ потрошње укупне енергије микроконтролера, у току једног такта, за два различита приступа ишчекивања догађаја: извршавањем



Слика 16. Тренд дисипације укупне енергије језгра у случају NOP и IDLE инструкције.

NOP инструкције у бесконачној петљи, или постављањем језгра у неактивно стање извршавањем IDLE инструкције. Треба нагласити да су остала језгра била у ресету и да нису примала такт. Може се приметити да се при основној фреквенцији радног такта (10.24MHz) укупна потрошња енергије услед извршавања NOP инструкције у бесконачној петљи повећава скоро за 50% у односу на случај када се језгро постави у неактивно стање извршавањем IDLE инструкције. Такође, уочљиво је да та разлика опада са опадањем учестаности радног такта, услед све већег удела статичке компоненте расипања енергије, тако да при фреквенцији 853KHz та разлика износи свега 7.9%. Са Сlike 13. може се приметити да је динамичка компонента расипања NOP инструкције дупло већа у односу на неактивно (IDLE) језгро, из чега се најбоље увиђа предност коришћења IDLE инструкције над бесконачним извршавањем NOP инструкције, у ишчекивању догађаја.

У прилог тој тези такође доприносе и резултати који се добију када се остала језгра уврсте у експеримент. Табела 14. приказује измерене вредности струја накихних језгара. Приликом експеримента учествовали су свих пет језгара: *uC* (микроконтролер), *gpDSP1* (General Purpose DSP), *gpDSP2*, *naDSP1* (Numerical Accelerator DSP) и *naDSP2*. Мерења су вршена тако што се једно по једно језгро из стања ресета доводило у стање мировања (IDLE) а затим се од измерене струје одузимала струја измерена у претходном стању (I_{PREV}), када је језгро чија се потрошња струје мери било у стању ресета. На основу добијених вредности израчуната је снага неактивног језгра (29). Када је позната активна снага, лако се рачуна ефективна капацитивност неактивног језгра:

$$C_{IDLE} = \frac{I_{IDLE} \times V_{DD}}{V_{DD}^2 \times f} = \frac{P_{IDLE}}{V_{DD}^2 \times f} \quad (35)$$

Табела 14. Измерене вредности струја пет језгара у неактивном стању.

Језгро	I_M [μA]	$I_{IDLE}=I_M-I_{PREV}$ [μA]	P_{IDLE} [μA]	C_{IDLE} [pF]
uC	738	381,28	476,60	29,79
gpDSP1	833	95	119	7,42
gpDSP2	899	66	82,50	5,16
naDSP1	977	78	97,50	6,09
naDSP2	1058	81	101,25	6,33

Табела 15. Измерене вредности струја пет језгара приликом извршавања NOP инструкције.

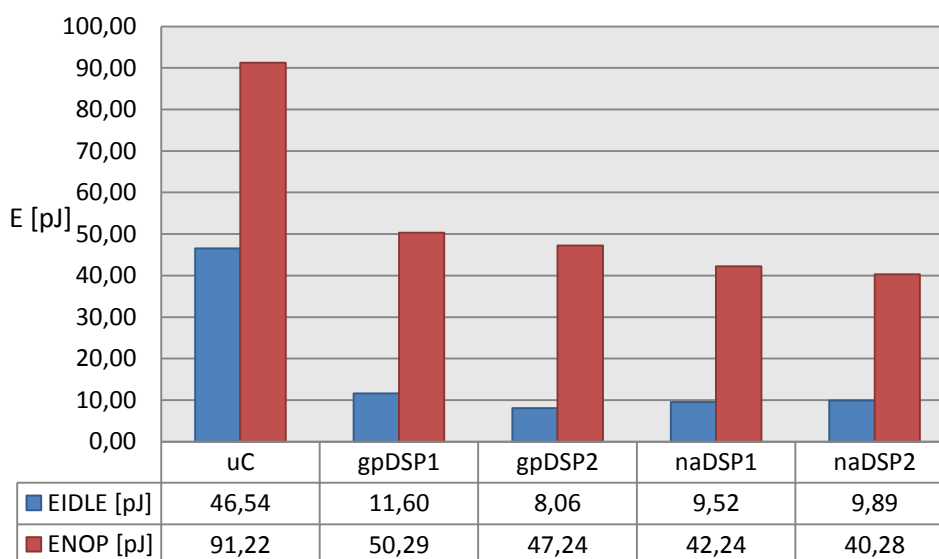
Језгро	I_M [μA]	$I_{NOP} = I_M - I_{PREV}$ [μA]	P_{NOP} [μA]	C_{NOP} [pF]
uC	1104	747,28	934,10	58,38
gpDSP1	1516	412	515	32,19
gpDSP2	1903	387	483,75	30,23
naDSP1	2249	346	432,50	27,03
naDSP2	2579	330	412,50	25,78

Слично као и код експеримента са неактивним језгрима, рачуна се ефективна капацитивност језгра док извршава NOP инструкцију (C_{NOP}) у бесконачној петљи. На свих пет језгара се спусти слика која садржи NOP инструкцију у бесконачној петљи, а затим се једном по једном језгру даје такт и мери се струја у том моменту, од које се одузима вредност струје претходног стања, док језгро чија се потрошња мери, није имало такт.

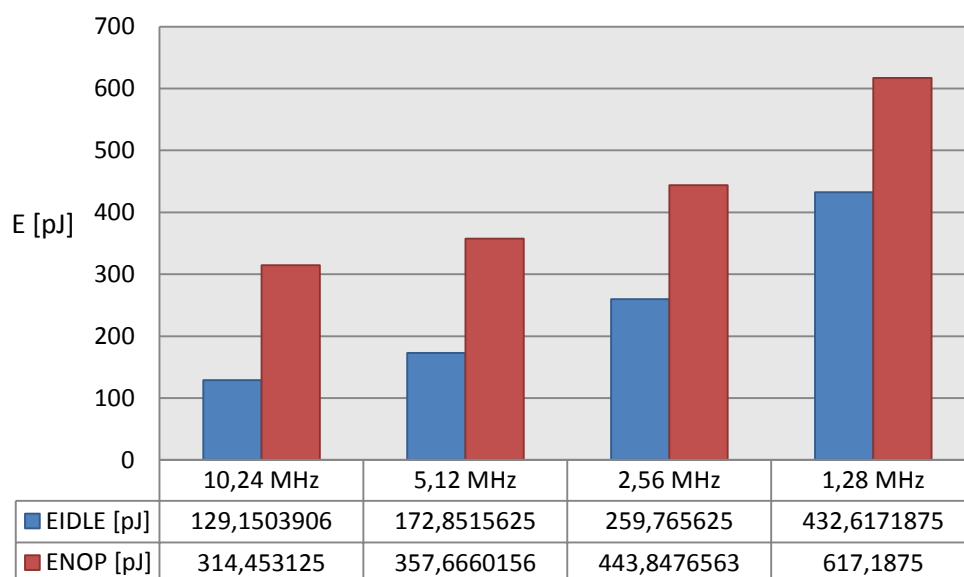
На основу израчунатих вредности ефективних капацитивности C_{NOP} и C_{IDLE} лако се рачуна динамичка дисипација енергије језгара која се налазе у једном од та два стања:

$$E_{dyn} = C \times V_{DD}^2 \quad (36)$$

Тренд приказан на Слици 17. приказује динамичку енергију дисипације пет различитих језгара, у току једног такта, при извршавању NOP инструкције у бесконачној петљи, као и у некативном режиму. Може се уочити значајно већа потрошња енергије у случају NOP инструкције, у односу на стање мировања.



Слика 17. Тренд дисипације активне енергије језгара.



Слика 18. Укупна енергија расипања пет језгара у случају NOP и IDLE инструкција.

Код већине језгара, осим у случају микроконтролера, динамичка енергија која се дисипира код NOP инструкције је и до пет пута већа у односу на режим када се језгро налази у стању мировања. Уколико узмемо у обзир и статичку енергију дисипације и различите учестаности радног такта, тада добијамо тренд приказан на Слици 18. Може се уочити да је укупна енергија која се дисипира на свих пет језгара, приликом извршавања NOP инструкције у бесконачној петљи у току једног такта на основној учестаности (10.24MHz), око 2,4 пута већа од укупне енергије која се расипа када се језгра налазе у стању мировања. Повећање периоде такта утиче на то да се допринос статичке компоненте у укупној енергији дисипације повећа, па се због тога разлика између укупне енергије расипања два различита режима рада процесора смањује. На основу приказаних података на Слици 17. и Слици 18., и илустрације приказане на Слици 9., могу се извести генералани закључци:

- 1) Повећањем фреквенције радног такта, смањује се удео статичке компоненте, у укупној енергији расипања, па се самим тим може остварити значајна уштеда у потрошњи енергије која би се добила избором IDLE инструкције у односу на NOP инструкцију (2,4 пута би била мања потрошња на основној фреквенцији од 10.24MHz).
- 2) Дрastiчно смањење фреквенције радног такта, рецимо сто пута у односу на основну фреквенцију, би довело до тога да статичка компонента потрошње

енергије постане доминантна, што би даље имплицирало да би избор IDLE или NOP инструкције, у ишчекивању догађаја, постао ирелевантан.

Како би се измерила тачност предвиђања укупне енергије и снаге дисипације пет језгара, изведена су мерења, на основној фреквенцији радног такта (10.24MHz), постављајући различита сценарија (Табела 16.). Сва језгра су постављана у једно од три стања: IDLE, NOP или RESET, па се приступило мерењу струје напајања. Добијене вредности струје помножене напоном напајања (1.25V) дају укупну снагу дисипације (P_M) за постављено стање тестног окружења (циљне платформе). Естимирана снага дисипације (P_E) се рачуна на следећи начин:

$$P_E = P_{stat} + P_{dyn} = I_{stat} \times V_{DD} + \sum_{n=1}^5 f \times V_{DD}^2 \times C_n \quad (37)$$

где C_n представља ефективну капацитивност n-тог језгра, која може имати једно од три вредности, у зависности од постављеног стања: C_{IDLE} , C_{NOP} или нула. Вредности C_{IDLE} и C_{NOP} су дате у Табели 14. и Табели 15., респективно. Уколико се језгро налази у стању ресета, значи да му није додељен такт, може се закључити да то језгро нема динамичку компоненту потрошње енергије, па у том случају C_n узима вредност нула. Као што се може видети у Табели 16., тачност естимације снаге која се остварује на овај начин је веома висока, са просечном тачности од 99,66%.

Табела 16. Измерене и израчунате вредности укупне снаге пет процесора.

uC	gpDSP1	gpDSP2	naDSP1	naDSP2	$I_M[\mu A]$	$P_M[\mu W]$	$P_E[\mu W]$	Тачност
IDLE	IDLE	IDLE	IDLE	IDLE	1060	1325,00	1322,54	99,81%
IDLE	IDLE	IDLE	IDLE	NOP	1308	1635,00	1633,74	99,92%
IDLE	IDLE	IDLE	NOP	NOP	1575	1968,75	1968,78	100,00%
IDLE	IDLE	NOP	NOP	NOP	1894	2367,50	2369,90	99,90%
IDLE	NOP	NOP	NOP	NOP	2207	2758,75	2766,22	99,73%
NOP	NOP	NOP	NOP	NOP	2572	3215,00	3223,66	99,73%
NOP	NOP	NOP	NOP	RESET	2246	2807,50	2811,18	99,87%
NOP	NOP	NOP	RESET	RESET	1900	2375,00	2378,70	99,84%
NOP	NOP	RESET	RESET	RESET	1515	1893,75	1895,02	99,93%
NOP	RESET	RESET	RESET	RESET	1117	1396,25	1379,98	98,83%
IDLE	RESET	RESET	RESET	RESET	747	933,75	922,54	98,80%
IDLE	IDLE	RESET	RESET	RESET	838	1047,50	1041,26	99,40%
IDLE	IDLE	IDLE	RESET	RESET	903	1128,75	1123,82	99,56%
IDLE	IDLE	IDLE	IDLE	RESET	981	1226,25	1221,26	99,59%
IDLE	NOP	RESET	IDLE	NOP	1558	1947,50	1947,50	100,00%

Слична анализа је примењена и у вези укупне енергије дисипације, у току једног такта. Наиме, измерена укупна енергија E_M се добија када се измерена укупна снага P_M , из Табеле 16., помножи са периодом такта:

$$E_M = P_M \times \frac{1}{f} = P_M \times T \quad (38)$$

Естимирана укупна енергија расипања једног такта се добија на следећи начин:

$$E_E = P_E \times T = \frac{I_{stat} \times V_{DD}}{f} + \sum_{n=1}^5 V_{DD}^2 \times C_n \quad (39)$$

Из Табеле 17. може се приметити да је тачност естимације укупне енергије дисипације једног такта, при основној фреквенцији, и различитим стањима језгара, на основу ефективне капацитивности језгара, веома висока. Средња грешка естимације износи 0.34%, док највећа грешка не прелази 1.2%.

Табела 17. Измерене и израчунате вредности укупне енергије пет процесора у току једног такта.

uC	gpDSP1	gpDSP2	naDSP1	naDSP2	E_M [pJ]	E_E [pJ]	Тачност
IDLE	IDLE	IDLE	IDLE	IDLE	129,39	129,15	99,81%
IDLE	IDLE	IDLE	IDLE	NOP	159,67	159,54	99,92%
IDLE	IDLE	IDLE	NOP	NOP	192,26	192,26	100,00%
IDLE	IDLE	NOP	NOP	NOP	231,20	231,44	99,90%
IDLE	NOP	NOP	NOP	NOP	269,41	270,14	99,73%
NOP	NOP	NOP	NOP	NOP	313,96	314,81	99,73%
NOP	NOP	NOP	NOP	RESET	274,17	274,53	99,87%
NOP	NOP	NOP	RESET	RESET	231,93	232,29	99,84%
NOP	NOP	RESET	RESET	RESET	184,94	185,06	99,93%
NOP	RESET	RESET	RESET	RESET	136,35	134,76	98,83%
IDLE	RESET	RESET	RESET	RESET	91,19	90,09	98,80%
IDLE	IDLE	RESET	RESET	RESET	102,29	101,69	99,40%
IDLE	IDLE	IDLE	RESET	RESET	110,23	109,75	99,56%
IDLE	IDLE	IDLE	IDLE	RESET	119,75	119,26	99,59%
IDLE	NOP	RESET	IDLE	NOP	190,19	190,19	100,00%

4.1.2.2 Енергија и снага расипања активних периферија

Основни задатак већине периферија наменских DSP платформи представља комуникацију између процесора и спољног света, као и међусобну спрегу. Као што је наведено у ПОГЛАВЉЕ 3. циљна физичка архитектура, поред пет језгара, садржи и периферије, различитих категорија и намена, чија се потрошња мора узети у обзир приликом естимације потрошње наменских вишејезгарних апликација, уколико се жели остварити већа тачност процене потрошње енергије и прецизнији модел естимације. Табела 18. приказује измерену вредност струје I_M , коју повлачи активна периферија при основној учестаности радног такта од 10.24MHz и напону напајања од 1.25V.

Табела 18. Измерене и израчунате вредности активних периферија.

Периферија	I_{IDLE} [μA]	I_M [μA]	I_P [μA]	P_P [μW]	E_P [pJ]	C_P [pF]
Wireless module 0	727	778	51	63,75	6,23	3,98
Wireless module 1	728	790	62	77,5	7,57	4,84
Wireless shared memory	727	735	8	10	0,98	0,63
Global shared memory	730	779	49	61,25	5,98	3,83
Non volatile memory	727	742	15	18,75	1,83	1,17
I2C0	727	739	12	15	1,46	0,94
I2C1	727	739	12	15	1,46	0,94
PCM0	727	738	11	13,75	1,34	0,86
PCM1	727	738	11	13,75	1,34	0,86
UART	728	744	16	20	1,95	1,25
GPIO	728	735	7	8,75	0,85	0,55
Decompression	728	752	24	30	2,93	1,88
LSADC	728	733	5	6,25	0,61	0,39
Touch Switch	728	753	25	31,25	3,05	1,95
AFE0	728	730	2	2,5	0,24	0,16
AFE1	728	730	2	2,5	0,24	0,16
AFE2	728	730	2	2,5	0,24	0,16
AFE3	729	730	1	1,25	0,12	0,08
ABE0	728	740	12	15	1,46	0,94
ABE1	728	747	19	23,75	2,32	1,48
Mixed signal	728	746	18	22,5	2,2	1,41

Мерења су изведена на следећи начин:

- 1) Покрене се сесија за отклањање грешака, конфигурисана тако да се микроконтролер налази у стању мировања, док су остала језгра и периферије у стању ресета и не добијају такт, како би се умањио њихов утицај на резултате мерења.
- 2) Измери се струја мировања I_{IDLE} .
- 3) Периферију, чију потрошњу желимо да измеримо, отпустимо из ресета, и доделимо јој радни такт.
- 4) Измери се укупна струја I_M , која долази са напајања, а затим се од те вредности одузме вредност струје мировања, што као резултат имплицира вредност струје коју повлачи периферија када се постави у активно стање I_P .
- 5) Процес се понавља за сваку појединачну периферију.

На основу измерених вредности рачунају се активна снага (29) и енергија (38) расипања, као и кључна вредност ефективне капацитивности активне периферије C_P :

$$C_P = \frac{I_P \times V_{DD}}{V_{DD}^2 \times f} = \frac{P_P}{V_{DD}^2 \times f} \quad (40)$$

Из Табеле 18. може се приметити да су енергија и снага расипања неких периферија упоредиве са вредностима DSP језгара када се налазе у стању мировања (Табела 14.), док неке периферије дисипирају далеко мање енергије у активном режиму рада. Периферије представљају пасивне компоненте, у смислу да када се некој периферији обезбеди радни такт, она не започиње никакав користан рад да обавља док се не упусти од стране процесора. Вредности приказане у Табели 18. представљају само неопходну компоненту потрошње енергије периферија, када им се обезбеди радни такт, која је потребна да би се периферија ставила у стање приправности. Већи део потрошње енергије, који се односи на периферије, настаје услед извршавања инструкција за упошљавање периферија, као што је на пример писање или читање у глобалну дељену меморију, међутим, као што је напоменуто, да би то било омогућено, неопходно је прво доделити радни такт периферији. Дисипација енергије и снаге инструкција је обрађена у наредном поглављу. Занимљиво је још приметити да,

уколико се свим периферијама обезбеди радни такт, оне би дисипирале око 44pJ, што је приближно једнако динамичкој енергији која се дисипира на једном DSP језгру док извршава NOP инструкцију у бесконачној петљи, што је значајна количина енергије. Имајући то у виду, потребно је пажљиво руковати са додељивањем радног такта периферијама, како би се смањила непотребна дисипација енергије. Радни такт треба да се додели непосредно пре руковања са периферијом, и такође да се одузме након извршеног посла, где је то могуће.

Како би се испитала веродостојност добијених вредности, приступило се експериментима чији је циљ био да се провери тачност естимације потрошње при различитим конфигурацијама циљне платформе. У току експеримента микроконтролер је био у стању мировања, док је за периферије коришћена једна од три конфигурације приказане у Табели 19., а учестаност радног такта се постављала на једну од четири вредности: 10.24MHz, 5.12MHz, 2,56MHz или 1.28 MHz.

Табела 19. Различите конфигурације периферија.

Периферија	Конфиг 1	Конфиг 2	Конфиг 3
Wireless module 0	IDLE	RESET	IDLE
Wireless module 1	RESET	IDLE	IDLE
Wireless shared memory	IDLE	RESET	IDLE
Global shared memory	RESET	IDLE	IDLE
Non volatile memory	IDLE	RESET	IDLE
I2C0	RESET	IDLE	IDLE
I2C1	IDLE	RESET	IDLE
PCM0	RESET	IDLE	IDLE
PCM1	IDLE	RESET	IDLE
UART	RESET	IDLE	IDLE
GPIO	IDLE	RESET	IDLE
Decompression	RESET	IDLE	IDLE
LSADC	IDLE	RESET	IDLE
Touch Switch	RESET	IDLE	IDLE
AFE0	IDLE	RESET	IDLE
AFE1	RESET	IDLE	IDLE
AFE2	IDLE	RESET	IDLE
AFE3	RESET	IDLE	IDLE
ABE0	IDLE	RESET	IDLE
ABE1	RESET	IDLE	IDLE
Mixed signal	IDLE	RESET	IDLE

Табела 20. Измерене и израчунате вредности укупне снаге расипања при конфигурацији 1.

Конфиг 1	I_M [μA]	P_M [μW]	P_E [μW]	Тачност
10,24 MHz	871	1088,75	1101,58	98,82%
5,12 MHz	617	771,25	773,74	99,68%
2,56 MHz	488,5	610,625	609,82	99,87%
1,28 MHz	424	530	527,86	99,60%

У Табели 20. су приказане измерене и израчунате вредности снаге расипања када се периферије налазе у стању Конфиг 1. приказаном у Табели 19., при четири различите учестаности радног такта, при чему је микроконтролер био у стању мировања, а остали у стању ресета. Када се циљна платформа доведе у такво стање, мери се струја напајања I_M . Потребно је напоменути још, да IDLE стање периферије подразумева да се та периферија налази у активном стању, то јест да прима такт, док RESET стање имплицира неактивно стање, без радног такта. Укупна снага расипања се рачуна на следећи начин:

$$P_M = I_M \times V_{DD} \quad (41)$$

Естимирана укупна снага дисипације рачуна се тако што се статичкој снаги расипања дода динамичка снага расипања неактивног микроконтролера и укупна снага расипања активних периферија:

$$P_E = P_{stat} + P_{uC_dyn} + P_{P_dyn} = I_{stat} \times V_{DD} + f \times V_{DD}^2 \times C_{uC_IDLE} + \sum_{p=0}^{K-1} f \times V_{DD}^2 \times C_p \quad (42)$$

где C_p представља ефективну капацитивност активне периферије, дате у Табели 18., а K представља укупан број активних периферија. Ефективна капацитивност неактивног микроконтролера C_{uC_IDLE} дата је у Табели 14. На исти начин се приступило мерењу и рачунању укупне снаге расипања у случају Конфиг 2. и Конфиг 3. дефинисаних стања периферија, а резултати тих мерења су приказани у Табели 21. и Табели 22., респективно.

Табела 21. Измерене и израчунате вредности укупне снаге расипања при конфигурацији 2.

Конфиг 2	I_M [μA]	P_M [μW]	P_E [μW]	Тачност
10,24 MHz	955	1193,75	1198,86	99,57%
5,12 MHz	673	841,25	822,38	97,76%
2,56 MHz	530,7	663,375	634,14	95,59%
1,28 MHz	459,3	574,125	540,02	94,06%

Табела 22. Измерене и израчунате вредности укупне снаге расипања при конфигурацији 3.

Конфиг 3	I_M [μA]	P_M [μW]	P_E [μW]	Тачност
10,24 MHz	1092	1365	1377,90	99,06%
5,12 MHz	746	932,5	911,90	97,79%
2,56 MHz	574	717,5	678,90	94,62%
1,28 MHz	487,5	609,375	562,40	92,29%

Укупна енергија расипања у току једног радног такта се рачуна на следећи начин:

$$E_M = P_M \times T = P_M \times \frac{1}{f} = I_M \times V_{DD} \times \frac{1}{f} \quad (43)$$

Укупна естимирана енергија у току једног радног такта, добија се тако што се саберу статичка енергија дисипације, динамичка енергија расипања неактивног микроконтролера, као и укупна енергија расипања активних периферија у току једног такта:

$$E_E = E_{stat} + E_{uC_IDLE} + \sum_{p=0}^{K-1} E_P = I_{stat} \times V_{DD} \times \frac{1}{f} + V_{DD}^2 \times C_{uC_IDLE} + \sum_{p=0}^{K-1} V_{DD}^2 \times C_P \quad (44)$$

где E_P представља динамичку енергију расипања активне периферије, E_{uC_IDLE} динамичку енергију расипања неактивног микроконтролера, а E_{stat} статичку енергију расипања у току једног такта.

Табела 23. Измерене и израчунате вредности укупне енергије расипања при конфигурацији 1., у току једног такта.

Конфиг 1	I_M [μA]	E_M [pJ]	E_E [pJ]	Тачност
10,24 MHz	871	106,32	107,58	98,82%
5,12 MHz	617	150,63	151,12	99,68%
2,56 MHz	488,5	238,53	238,21	99,87%
1,28 MHz	424	414,06	412,39	99,60%

У Табели 23. су приказане измерене и естимиране вредности укупне снаге расипања, добијене приликом експеримента са конфигурацијом 1. периферија, док се микроконтролер налазио у стању мировања, а остала DSP језгра нису имала дистрибуиран такт. Као што се може приметити, мерења су вршена на четири различите учестаности радног такта, како би се утврдила тачност естимације, при различитим учестаностима радног такта.

Табела 24. Измерене и израчунате вредности укупне енергије расипања при конфигурацији 2., у току једног такта.

Конфиг 2	$I_M [\mu A]$	$E_M [pJ]$	$E_E [pJ]$	Тачност
10,24 MHz	955	116,58	117,08	99,57%
5,12 MHz	673	164,31	160,62	97,76%
2,56 MHz	530,7	259,13	247,71	95,59%
1,28 MHz	459,3	448,54	421,89	94,06%

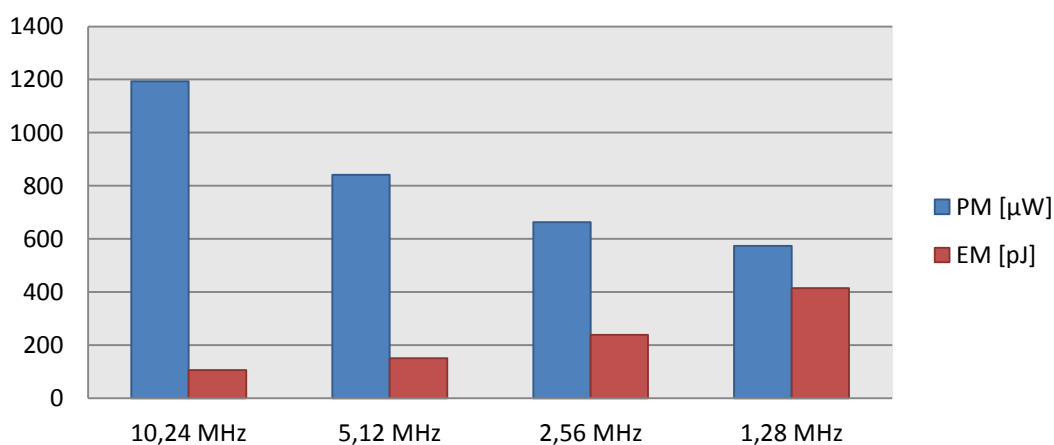
Такође, експерименти су поновљени за конфигурацију 2. и 3., а добијени резултати су приказани у Табели 24. и Табели 25., респективно.

Табела 25. Измерене и израчунате вредности укупне енергије расипања при конфигурацији 3., у току једног такта.

Конфиг 3	$I_M [\mu A]$	$E_M [pJ]$	$E_E [pJ]$	Тачност
10,24 MHz	1092	133,30	134,56	99,06%
5,12 MHz	746	182,13	178,11	97,79%
2,56 MHz	574	280,27	265,19	94,62%
1,28 MHz	487,5	476,07	439,37	92,29%

Из свих наведених података приказаних у табелама у овом поглављу може се закључити да је тачност естимације укупне енергије и снаге расипања активних периферија веома висока, из чега произилази да је начин мерења ефективне капацитивности појединачних периферија добар, а да су изрази коришћени за естимацију укупне снаге (42) и енергије (44) расипања валидни.

Занимљиво је још приметити тренд укупне енергије и снаге расипања при различитим учестаностима радног такта, приказан на Слици 19.



Слика 19. Тренд укупне снаге и енергије расипања активних периферија.

Као што се може приметити са Сlike 19. укупна снага расипања представља монотono опадајућу функцију учестаности радног такта. Разлог томе представља константна вредност динамичке компоненте енергије расипања. Узимајући то у обзир, и чињеницу да снага представља количник енергије и периоде такта, лако се закључује да се повећањем периоде такта, смањује укупна снага расипања. Укупна енергија, која се дисипира у току једног такта, представља монотono растућу функцију фреквенције радног такта. Растући тренд обезбеђује статичка компонента дисипације енергије. Ако се узме у обзир чињеница да је статичка снага дисипације константна у току времена (Слика 9.), и да енергија представља производ снаге и периоде такта, долази се до закључка да повећање трајања такта, то јест смањење фреквенције, утиче на повећање статичке дисипације енергије у току једног такта.

4.1.2.3 Енергија и снага расипања инструкција

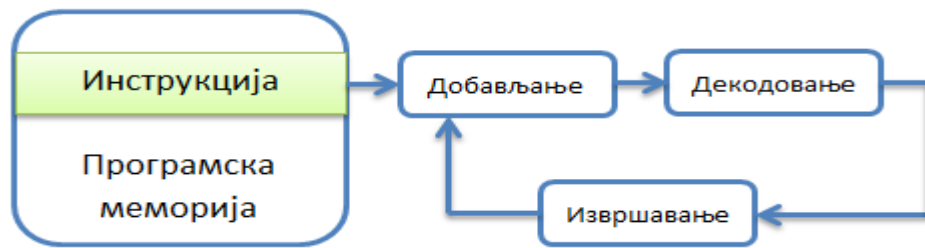
Сигурно један од најзанимљивијих делова овог истраживања представља утврђивање основне потрошње енергије потребне за извршавање инструкције E_v , као и мерење међуинструкцијског утицаја E_l (inter-instruction effect) (Nikolaidis, Kavvadias / Neofotistos, Inter-instruction effect cost measurements 2002). Познато је да се DSP језгра праве тако да имају проточну структуру (Kovacevic, Popovic, и други 2005) (Kovacevic and Atlagic, Logicko projektovanje racunarskih sistema II 2007), што подразумева извршавање инструкција у неколико фаза (Слика 20.), како би се постигла већа ефикасност DSP језгра.

Свих пет DSP језгара циљне платформе (uC, gpDSP1, gpDSP2, naDSP1 и naDSP2) извршавање инструкције обављају у три фазе:

- 1) Добављање инструкције (*Fetch*)
- 2) Декодовање инструкције (*Decode*)
- 3) Извршавање инструкције (*Execute*)

Међутим, како је већ наведено у ПОГЛАВЉЕ 3., проточна структура циљних процесора је дво-фазна, што има за последицу то да у оквиру једног циклуса конфигуришу две суседне инструкције. Наредна инструкција се добавља и декодује, док се текућа извршава. Узимајући у обзир наведену чињеницу,

мерење основне потрошње енергије извршавања инструкције E_B односиће се на енергију потребну да се изврше све три фазе извршавања инструкције.



Слика 20. Фазе извршавања инструкције на DSP.

Из литературе (Tiwari, Malik / Wolfe 1994) (Konstantakos, A., и други 2006) (N., и други 2004) (Nikolaidis, Kavvadias / Neofotistos, Base instruction cost measurements 2002) (Kandemir, Vijaykrishnan / Irwin 2002) (Nikolaidis, Kavvadias / Neofotistos, Inter-instruction effect cost measurements 2002) је закључено да поред основне компоненте потрошње енергије током извршавања инструкција, може да се јави додатна потрошња која настаје услед међуинструкционог утицаја (Nikolaidis, Kavvadias / Neofotistos, Inter-instruction effect cost measurements 2002), познатог још и као ефекат стања кола (circuit state effect) (Klass, и други Jun. 1998) (Tiwari, Malik / Wolfe 1994).

У наредна два поглавља дат је детаљан опис методологије мерења основне потрошње и међуинструкцијског утицаја, као и експериментални резултати мерења.

4.1.2.3.1 Основна потрошња

Основна потрошња инструкције може се најбоље окарактерисати ефективном капацитивношћу C_B , односно количином наелектрисања коју је потребно премештати у току извршавања инструкције. Та капацитивност представља укупну еквивалентну капацитивност активних транзистора који учествују у извршавању те инструкције.

$$A = \{x_1, x_2, x_3, \dots, x_n\}$$

$$C_B = \sum_{i=1}^n C_{Ex(i)} \quad (45)$$

A – скуп активних транзистора у току извршавања инструкције

$C_{Ex(i)}$ – еквивалентна капацитивност i -тог транзистора

Уколико је позната вредност C_v , онда се лако може утврдити динамичка снага (28) и енергија (36) основне потрошње, при било којој учестаности радног такта. Имајућу у виду наведено, проблем одређивања основне потрошње инструкције своди се на одређивање ефективне капацитивности, која се може придружити инструкцији. Како је раније наведено, постоји пет DSP језгара на циљној платформи, али само две различите архитектуре процесора, па сходно томе постоје два различита инструкциона скупа. Мерења су спроведена над свим процесорима, како би се утврдило да ли је потрошња истих инструкција идентична уколико се извршавају на различитим DSP језгрима, истог типа.

Мерење основне потрошње снаге и енергије током извршавања инструкције, вршило се експериментално, добро установљеном методологијом описаном у (Tiwari, Malik / Wolfe 1994) и (Lee, и други 1995), као и у другој литератури. Међутим, основна разлика између мерења које је спроведено у нашем истраживању, у односу на друга која се могу пронаћи у литератури, је та што се фокус ставља на ефективну капацитивност, а не на јачину струје потребне за симултано извршавање инструкције. На тај начин се остварује флексибилност предвиђања основне потрошње инструкције при различитом напону напајања и фреквенцијама радног такта. На основу једном утврђене ефективне капацитивности инструкције, могуће је предвидети њену потрошњу и у случају промене напона напајања, као и учестаности радног такта.

Експеримент мерења ефективне капацитивности инструкције састоји се од неколико корака:

- 1) У програмску меморију DSP језгра се спусти изворни код који садржи велики број инстанци истих инструкција, оних чију потрошњу меримо, смештених у бесконачну петљу (Слика 21.). Користи се велики број инстанци како би се минимизовао утицај инструкције скока петље на резултате мерења.
- 2) Остала DSP језгра се поставе у стање ресета, осим микроконтролера који се постави у стање мировања, уколико се мерење не врши на њему, зато што не постоји могућност одузимања радног такта микроконтролеру, зато што је он задужен за правилно функционисање и синхронизацију читаве

платформе. Постави се основна фреквенција радног такта (10.24MHz) и напон напајања (1.25V).

- 3) Покрене се извршавање изворног кода (Слика 21.), а затим се мери струја напајања. Од измерене вредности струје I_M се затим одузима струја цурења I_{stat} (16), а уколико се мерење врши на gpDSP или naDSP, тада се још одузима и струја мировања микроконтролера I_{uC_IDLE} :

$$I_B = I_M - I_{stat} - I_{uC_IDLE} \quad (46)$$

Из добијене вредности базне потрошње струје инструкције I_B , као и познатих вредности учестаности радног такта и напона напајања, рачуна се ефективна капацитивност инструкције:

$$C_B = \frac{I_B \times V_{DD}}{V_{DD}^2 \times f} = \frac{I_B}{V_{DD} \times f} \quad (47)$$

Да би се могла вршити естимација потрошње енергије вишејезгарних наменских апликација, потребно је одредити ефективну капацитивност за сваку појединачну инструкцију из инструкционог скупа, сваког појединачног DSP језгра. Узимајући у обзир чињеницу да DSP језгра циљне платформе припадају групи процесора са веома дугачком инструкционом речи (USC 2016), може се закључити да је број инструкција које чине инструкциони скуп, обе архитектуре, позамашан. Инструкциони скуп DSP процесора опште намене (uC, gpDSP1, gpDSP2) чини шест основних категорија инструкција, које се даље гранају на

```
inline assembly void _SUB_x1_b0_b0 (void)
property(loop_free)
clobbers()
{
    asm_begin
    asm_text
    .lrepeat 1000
    SUB x1, b0, b0
    asm_end
}

int main(void)
{
    while(1)
    {
        _SUB_x1_b0_b0();
    }

    return(0); //don't return
}
```

Слика 21. Изворни код за мерење основне потрошње инструкције *SUB x1, b0, b0*.

подкатегорије:

- 1) Single Move Instructions – Short (M1): LOAD, MODPTR, MOVE, NOP, PUSH, POP, SETLIN, STORE.
- 2) Parallel Move Instructions (M2): LOAD, MOVE, STORE.
- 3) Parallel Arithmetic Instructions (AL2): ABS, ADDDIV, ADD, CMP, MAC, MPY, MSUB, NEG, SUBDIV, SUB, UCMP.
- 4) Single Arithmetic Instructions – Short (AS1): ABS, ADD, ADDC, ADDDIV, AND, ASHR, BITCLR, BITCMP, BITSET, BITTOG, CLB, CMP, CMPY, DEBUG, DIFMAC, DIFMPY, EXCH, EXP2, LOG2, LSHL, LSHR, MAC, MAX, MIN, MOVEC, MPY, MSUB, NEG, NOP, NORM, OR, RECP, SQRT, QSUM, SUBC, SUB, SUBDIV, SUMMAC, SUMMPY, UCMP, UCMPY.
- 5) Single Arithmetic Instructions – Long (AL1): ADDC, ADD, ADDSUBC, AND, ASHL, ASHR, BITCLR, BITCMP, BITSET, BITTOG, CMP, IMAC, IMNEG, IMPY, IMSUB, LOAD, LSHL, LSHR, MNEG, NEG, OR, ROTR, SUMMNEG, SUMMSUB, UCMP, VITMAX, XOR.
- 6) Work Instructions – Long (NL): BITCLR, , BITCMP, BITSET, BITTOG, CLRFLD, DOL_D, EXTSIG, GOTO, IDLE, JSR, JTI, LOAD, LOADC, MASK, MODPTR, POP, PUSH, RFI, RSR, STORE, STOREC.

Инструкциони скуп процесора за нумеричку обраду (naDSP1, naDSP2), чине следеће категорије и подкатегорије:

1) Arith + Move

a. Single Precision Arithmetic

- i. Quad Point-Point Vector Arithmetic
- ii. Quad Vector Min/Max
- iii. Quad Multiply + Accumulate
- iv. Quad Square + Accumulate
- v. Quad Vector Max/Min of Distance
- vi. Quad Real by Single Real Multiply/MAC
- vii. Dual Symmetric FIR
- viii. Dual Complex Magnitude Squared
- ix. Dual Difference + Multiply + Add
- x. Single Real by Dual Complex Multiply + Accum
- xi. Dual Real by Dual Complex Multiply + Accum
- xii. Complex Multiply and Accumulate
- xiii. Complex Multiply and Accumulate (Alternate)
- xiv. Quad Add Accumulators

- b. Dual Double Precision Arithmetic
 - i. Dual Double Precision Max/Min
 - ii. Dual Double-Precision Point-Point Vector
- c. Acceleration Arithmetic
 - i. Arithmetic Shift Right by Immediate
 - ii. Arithmetic Shift Left by Immediate
 - iii. Arithmetic Shift Right by EXP
 - iv. Arithmetic Shift Left by EXP
 - v. Reciprocal
 - vi. Square Root
 - vii. Log2
 - viii. Exp2
 - ix. Normalize
 - x. Count Leading Bits
- d. Moves
 - i. Single Precision Moves
 - ii. Double Precision Moves
 - iii. Acceleration Moves

2) FFT

- a. FFT Calculation
- b. Dual Data Move

3) Long and Control

- a. Load Register Immediate
- b. Load Address Register Immediate
- c. Load EXP Register Immediate
- d. And/Or SR/IR with Immediate
- e. Do Loop Immediate
- f. Do Loop Register Count
- g. Jump to Subroutine Immediate
- h. Jump to Subroutine Conditional
- i. Jump to Subroutine via Register
- j. Jump to Subroutine Conditional Reg
- k. GOTO Immediate
- l. GOTO Conditional Immediate
- m. GOTO Register

- n. GOTO Conditional Register
- o. Return From Subroutine
- p. Return From Subroutine Conditional
- q. Return From Interrupt
- r. Return From Interrupt Conditional
- s. Software Breakpoint
- t. IDLE(sleep)
- u. WAIT(sleep)
- v. External Signal
- w. Compare for Condition
- x. Clear Registers
- y. Lookup Table Accelerator
- z. Block Floating Point Update
- aa. FFT Mask/Offset Shifts
- bb. Dual Move of Registers
- cc. Quad Update Register Load/Store
- dd. Modify Pointer
- ee. Register Load/Store Imm Addr
- ff. Dual Register Indirect Memory Access
- gg. Move Register to Register

Може се приметити да инструкционе скупове чини значајан број инструкција. Како би се остварила већа апстракција приказа резултата мерења и естимације основне потрошње енергије и снаге извршавања инструкција, као и валидација резултата, изабрано је по десет карактеристичних инструкција из оба инструкциона скупа, и над њима су извршена мерења и анализа.

У Табели 26. дат је приказ измерених и израчунатих вредности струје I_B (46), која се повлачи из извора напајања при бесконачном извршавању циљне инструкције, на основу које су израчунате вредности основне потрошње енергије, снаге, као и вредности ефективних капацитивности инструкција (47).

Табела 26. Измерене и израчунате вредности основне потрошње инструкција на микроконтролеру – μC .

μC	$I_B [\mu\text{A}]$	$P_B [\mu\text{W}]$	$E_B [\text{pJ}]$	$C_B [\text{pF}]$
NOP	537,28	671,6	65,59	41,98
STORE A0, E[0xf006]	645,28	806,6	78,77	50,41
LOAD X[0x0100], X0	761,28	951,6	92,93	59,48
MAC Y0, X0, A0 ## STORE Y1, X[P4++]	806,28	1007,85	98,42	62,99
MOVE A0, X0	551,28	689,1	67,3	43,07
MOVEC TRUE Y0, A0 ## LOAD X[PX0++], X0	703,28	879,1	85,85	54,94
MPY Y0, Y1, A0 ## LOAD X[P6++], Y0	703,28	879,1	85,85	54,94
PUSH PX0, X[SFP-1]	686,28	857,85	83,77	53,62
POP X[SFP-2], PX0	672,28	840,35	82,07	52,52
MSUB Y0, X0, A0 DBL_HASH LOAD X[P5++], Y0	706,28	882,85	86,22	55,18

У Табели 27. и Табели 28. дат је приказ добијених вредности основне потрошње инструкција измерених на DSP језгрима опште намене gpDSP1 и gpDSP2. Занимљиво је приметити да је потрошња, односно ефективна капацитивност, инструкција доста већа на микроконтролеру, него на DSP језгрима опште намене, иако имају исту архитектуру. То се може објаснити тиме да микроконтролер симултано док извршава инструкцију обавља и друге задатке који су му додељени, као што су синхронизација и управљање догађајима на платформи, па се одређена енергија троши на те механизме. На преостала два језгра опште намене, gpDSP1 и gpDSP2, измерена је веома слична основна потрошња инструкција, што је очекивано.

Табела 27. Измерене и израчунате вредности основне потрошње инструкција на gpDSP1 језгру.

gpDSP1	$I_B [\mu\text{A}]$	$P_B [\mu\text{W}]$	$E_B [\text{pJ}]$	$C_B [\text{pF}]$
NOP	229,00	286,25	27,95	17,89
STORE A0, E[0xf006]	335,00	418,75	40,89	26,17
LOAD X[0x0100], X0	458,00	572,5	55,91	35,78
MAC Y0, X0, A0 ## STORE Y1, X[P4++]	410,00	512,5	50,05	32,03
MOVE A0, X0	240,00	300	29,3	18,75
MOVEC TRUE Y0, A0 ## LOAD X[PX0++], X0	403,00	503,75	49,19	31,48
MPY Y0, Y1, A0 ## LOAD X[P6++], Y0	404,00	505	49,32	31,56
PUSH PX0, X[SFP-1]	243,00	303,75	29,66	18,98
POP X[SFP-2], PX0	244,00	305	29,79	19,06
MSUB Y0, X0, A0 DBL_HASH LOAD X[P5++], Y0	405,00	506,25	49,44	31,64

Табела 28. Измерене и израчунате вредности основне потрошње инструкција на gpDSP2 језгру.

gpDSP2	I _B [μA]	P _B [μW]	E _B [pJ]	C _B [pF]
NOP	227,00	283,75	27,71	17,73
STORE A0, E[0xf006]	322,00	402,5	39,31	25,16
LOAD X[0x0100], X0	443,00	553,75	54,08	34,61
MAC Y0, X0, A0 ## STORE Y1, X[P4++]	398,00	497,5	48,58	31,09
MOVE A0, X0	239,00	298,75	29,18	18,67
MOVEC TRUE Y0, A0 ## LOAD X[PX0++], X0	391,00	488,75	47,73	30,55
MPY Y0, Y1, A0 ## LOAD X[P6++], Y0	390,00	487,5	47,61	30,47
PUSH PX0, X[SFP-1]	245,00	306,25	29,91	19,14
POP X[SFP-2], PX0	243,00	303,75	29,66	18,98
MSUB Y0, X0, A0 DBL_HASH LOAD X[P5++], Y0	392,00	490	47,85	30,63

У Табели 29. и Табели 30. дат је приказ резултата мерења основне потрошње инструкција на нумеричким DSP језгрима, naDSP1 и naDSP2. Имајући у виду да та два процесора имају исту архитектуру, очекивано је било да исте инструкције имају блиске вредности ефективне капацитивности, што су резултати мерења потврдили.

Табела 29. Измерене и израчунате вредности основне потрошње инструкција на naDSP1 језгру.

naDSP1	I _B [μA]	P _B [μW]	E _B [pJ]	C _B [pF]
NOP, NOP, NOP, NOP ## NOP, NOP, NOP, NOP	238	297,5	29,05	18,59
{PXA0:OXA0} = XAD[0x00], {SXA0:EXA0} = XBD[0x00], {PYA0:OYA0} = YAD[0x00], {SYA0:EYA0} = YBD[0x00]	849	1061,25	103,64	66,33
X0=*PXA0(OXA0), Y0=*PYA0(OYA0)	396	495	48,34	30,94
ZC=*PXA1(OXA1), Y1=*PYA0(OYA0)	468	585	57,13	36,56
CLR_REGS(0xA0)	244	305	29,79	19,06
PXA0 = PXA0(OXA0), PXB0 = PXB0(OXB0), NOP, NOP	242	302,5	29,54	18,91
XAD[0x00] = {PXA0:OXA0}, NOP, NOP, NOP	413	516,25	50,42	32,27
YA[1+0x02] = PYA1	325	406,25	39,67	25,39
OXA1 = 2	236	295	28,81	18,44
GOTO_label	229	286,25	27,95	17,89

Табела 30. Измерене и израчунате вредности основне потрошње инструкција на naDSP2 језгру.

naDSP2	I_B [μA]	P_B [μW]	E_B [pJ]	C_B [pF]
NOP, NOP, NOP, NOP ## NOP, NOP, NOP, NOP	239	298,75	29,18	18,67
{PXA0:OXA0} = XAD[0x00], {SXA0:EXA0} = XBD[0x00], {PYA0:OYA0} = YAD[0x00], {SYA0:EYA0} = YBD[0x00]	871	1088,75	106,32	68,05
X0=*PXA0(OXA0), Y0=*PYA0(OYA0)	401	501,25	48,95	31,33
ZC=*PXA1(OXA1), Y1=*PYA0(OYA0)	475	593,75	57,98	37,11
CLR_REGS(0xA0)	242	302,5	29,54	18,91
PXA0 = PXA0(OXA0), PXB0 = PXB0(OXB0), NOP, NOP	235	293,75	28,69	18,36
XAD[0x00] = {PXA0:OXA0}, NOP, NOP, NOP	417	521,25	50,9	32,58
YA[1+0x02] = PYA1	327	408,75	39,92	25,55
OXA1 = 2	235	293,75	28,69	18,36
GOTO_label	227	283,75	27,71	17,73

Као што је раније напоменуто, када су познате вредности ефективних капацитивности инструкција, могуће је предвидети укупну потрошњу енергије и снагу, при различитим учестаностима радног такта. Укупну снагу расипања рачунамо следећим изразом:

$$P_E = P_{stat} + P_{uC_IDLE} + P_B = I_{stat} \times V_{DD} + f \times V_{DD}^2 \times C_{uC_IDLE} + f \times V_{DD}^2 \times C_B \quad (48)$$

где P_B представља снагу основне потрошње инструкције. Вредност естимиране укупне потрошње енергије се добија када се претходни израз помножи периодом радног такта:

$$E_E = E_{stat} + E_{uC_IDLE} + E_B = I_{stat} \times V_{DD} \times \frac{1}{f} + V_{DD}^2 \times C_{uC_IDLE} + V_{DD}^2 \times C_B \quad (49)$$

E_B представља енергију основне потрошње инструкције у току једног такта. Компоненте израза (48) P_{uC_IDLE} и (49) E_{uC_IDLE} конфигуришу само у случају када се мерења не врше на микроконтролеру, јер се у том случају микроконтролер поставља у неактивно стање. Како би се одредила тачност естимације не основу ефективне капацитивности инструкција (C_B) при различитим вредностима учестаности радног такта, приступило се експерименту. Коришћена су мерна окружења из претходних мерења, само је радни такт преполовљен, тако да износи 5.12MHz, након чега су извођена мерења. На основу добијених вредности

Табела 31. Процена тачности предвиђања снаге укупне потрошње енергије, при 5.12MHz учестаности радног такта, на микроконтролеру.

uC	I_M [μA]	P_M [μW]	P_E [μW]	Тачност
NOP	624,00	780	781,70	99,78%
STORE A0, E[0xf006]	678,00	847,5	849,20	99,80%
LOAD X[0x0100], X0	737,00	921,25	921,70	99,95%
MAC Y0, X0, A0 ## STORE Y1, X[P4++]	753,00	941,25	949,82	99,09%
MOVE A0, X0	628,00	785	790,45	99,31%
MOVEC TRUE Y0, A0 ## LOAD X[PX0++], X0	707,00	883,75	885,45	99,81%
MPY Y0, Y1, A0 ## LOAD X[P6++], Y0	706,00	882,5	885,45	99,67%
PUSH PX0, X[SFP-1]	698,00	872,5	874,82	99,73%
POP X[SFP-2], PX0	691,00	863,75	866,07	99,73%
MSUB Y0, X0, A0 DBL_HASH LOAD X[P5++], Y0	709,00	886,25	887,32	99,88%

рачуна се измерена укупна снага расипања P_M , тако што се измерена струја помножи са напоном напајања (41).

Добијена вредност P_M се затим пореди са естимираном вредности укупне снаге расипања P_E , која се рачуна изразом (49), па се на основу те две вредности одређује тачност предвиђања. У Табели 31., Табели 32. и Табели 33. дат је преглед тачности предвиђања укупне снаге расипања појединачних инструкција код uC, gpDSP1 и gpDSP2, респективно, на основу ефективне капацитивности инструкција, када се учестаност радног такта преполови.

Табела 32. Процена тачности предвиђања снаге укупне потрошње енергије, при 5.12MHz учестаности радног такта, на gpDSP1.

gpDSP1	I_M [μA]	P_M [μW]	P_E [μW]	Тачност
NOP	663,00	828,75	827,34	99,83%
STORE A0, E[0xf006]	714,00	892,5	893,59	99,88%
LOAD X[0x0100], X0	769,00	961,25	970,47	99,04%
MAC Y0, X0, A0 ## STORE Y1, X[P4++]	746,00	932,5	940,47	99,15%
MOVE A0, X0	663,00	828,75	834,22	99,34%
MOVEC TRUE Y0, A0 ## LOAD X[PX0++], X0	747,00	933,75	936,09	99,75%
MPY Y0, Y1, A0 ## LOAD X[P6++], Y0	747,00	933,75	936,72	99,68%
PUSH PX0, X[SFP-1]	668,00	835	836,09	99,87%
POP X[SFP-2], PX0	667,00	833,75	836,72	99,64%
MSUB Y0, X0, A0 DBL_HASH LOAD X[P5++], Y0	749,00	936,25	937,34	99,88%

Табела 33. Процена тачности предвиђања снаге укупне потрошње енергије, при 5.12MHz учестаности радног такта, на gpDSP2.

gpDSP2	I_M [μA]	P_M [μW]	P_E [μW]	Тачност
NOP	661,00	826,25	826,09	99,98%
STORE A0, E[0xf006]	708,00	885	885,47	99,95%
LOAD X[0x0100], X0	770,00	962,5	961,09	99,85%
MAC Y0, X0, A0 ## STORE Y1, X[P4++]	741,00	926,25	932,97	99,27%
MOVE A0, X0	663,00	828,75	833,59	99,42%
MOVEC TRUE Y0, A0 ## LOAD X[PX0++], X0	741,00	926,25	928,59	99,75%
MPY Y0, Y1, A0 ## LOAD X[P6++], Y0	741,00	926,25	927,97	99,81%
PUSH PX0, X[SFP-1]	668,00	835	837,34	99,72%
POP X[SFP-2], PX0	667,00	833,75	836,09	99,72%
MSUB Y0, X0, A0 DBL_HASH LOAD X[P5++], Y0	742,00	927,5	929,22	99,81%

У Табели 34. и Табели 35 дат је преглед измерених и израчунатих вредности за преостала два нумеричка DSP језгра. Може се приметити да ја тачност предвиђања снаге укупног расипања изразом (49), при промени фреквенције радног такта веома висока, тако да грешка не прелази 1%.

Табела 34. Процена тачности предвиђања снаге укупне потрошње енергије, при 5.12MHz учестаности радног такта, на naDSP1.

naDSP1	I_M [μA]	P_M [μW]	P_E [μW]	Тачност
NOP, NOP, NOP, NOP ## NOP, NOP, NOP, NOP	668	835	832,97	99,76%
{PXA0:OXA0} = XAD[0x00], {SXA0:EXA0} = XBD[0x00], {PYA0:OYA0} = YAD[0x00], {SYA0:EYA0} = YBD[0x00]	970	1212,5	1214,84	99,81%
X0=*PXA0(OXA0), Y0=*PYA0(OYA0)	744	930	931,72	99,82%
ZC=*PXA1(OXA1), Y1=*PYA0(OYA0)	780	975	976,72	99,82%
CLR_REGS(0xA0)	669	836,25	836,72	99,94%
PXA0 = PXA0(OXA0), PXB0 = PXB0(OXB0), NOP, NOP	665	831,25	835,47	99,49%
XAD[0x00] = {PXA0:OXA0}, NOP, NOP, NOP	754	942,5	942,34	99,98%
YA[1+0x02] = PYA1	710	887,5	887,34	99,98%
OXA1 = 2	664	830	831,72	99,79%
GOTO_label	661	826,25	827,34	99,87%

Табела 35. Процена тачности предвиђања снаге укупне потрошње енергије, при 5.12MHz учестаности радног такта, на naDSP2.

naDSP2	I_M [μA]	P_M [μW]	P_E [μW]	Тачност
NOP, NOP, NOP, NOP ## NOP, NOP, NOP, NOP	669	836,25	833,59	99,68%
{PXA0:OXA0} = XAD[0x00], {SXA0:EXA0} = XBD[0x00], {PYA0:OYA0} = YAD[0x00], {SYA0:EYA0} = YBD[0x00]	982	1227,5	1228,59	99,91%
X0=*PXA0(OXA0), Y0=*PYA0(OYA0)	747	933,75	934,84	99,88%
ZC=*PXA1(OXA1), Y1=*PYA0(OYA0)	785	981,25	981,09	99,98%
CLR_REGS(0xA0)	668	835	835,47	99,94%
PXA0 = PXA0(OXA0), PXB0 = PXB0(OXB0), NOP, NOP	665	831,25	831,09	99,98%
XAD[0x00] = {PXA0:OXA0}, NOP, NOP, NOP	756	945	944,84	99,98%
YA[1+0x02] = PYA1	710	887,5	888,59	99,88%
OXA1 = 2	664	830	831,09	99,87%
GOTO_label	660	825	826,09	99,87%

Треба имати у виду да је приликом претходно описаних мерења само учестаност радног такта мењана, као и чињеницу да се блок појединачне инструкције извршавао током експеримента, јер се желело показати колико се ефективном капацитивности инструкције, добијеном при основној фреквенцији радног такта, може успешно предвиђати основна потрошња на различитој учестаности радног такта. Као што су експерименти показали, ефективна капацитивност инструкције веома добро карактерише и предвиђа основну потрошњу инструкције, при различитим учестаностима радног такта.

Уколико се више различитих инструкција извршава на једном DSP језгру, тада би ефективна капацитивност требала да преставља аритметичку средину свих ефективних капацитивности инструкција које се извршавају. Наведена претпоставка би требала да важи једино у случају када су различите инструкције блоковски распоређене у програмској меморији, због тога што се на тај начин минимизује утицај међуинструкционе капацитивности кола, која ће бити описана у наредном поглављу. Како би се проверила тачност изнесене тврдње, приступило се експерименту. Десет инструкција, из претходних мерења, је блоковски распоређено у програмску меморију, тако да имамо сто инстанци једне инструкције, коју следи сто инстанци следеће инструкције, и тако до десете

```

/*
 * main processing loop
 */
int main(void)
{
    while(1){
        // _IDLE(0x00);
        _NOP_M();
        asm ("NOP");
        _STORE_A0_E();
        asm ("NOP");
        _LOAD_X_X0();
        asm ("NOP");
        _MAC_Y0_X0_A0_STORE_Y1_X();
        asm ("NOP");
        _MOVE_A0_X0();
        asm ("NOP");
        _MPY_Y0_Y1_A0_LOAD_X_Y0();
        asm ("NOP");
        _MOVEC_TRUE_Y0_A0_LOAD_X_X0();
        asm ("NOP");
        _PUSH_PX0_X();
        asm ("NOP");
        _POP_X_PX0();
        asm ("NOP");
        _MSUB_Y0_X0_A0_DBL_HASH_LOAD_X_Y0();
    }
    return(0);
}
    
```

```

static inline void _STORE_A0_E(void)
//property () // future use
{
    asm (
        ".lrepeat 100"
        "STORE A0, E[0xf006]"
        :
        :
        :
    );
}
    
```

Слика 22. Изворни код блоковски распоређених инструкција код μC , gpDSP1 I gpDSP2.

инструкције, после које имамо скок на прву инструкцију. Мерења су извођена на појединачним DSP језгрима, а затим и на свим језгрима заједно. Табела 36. презентује резултате тих мерења. Вредност P_M се добија, као и у претходним експериментима, тако што се помноже напон и струја напајања измерена током екперимента.

Табела 36. Процена тачности предвиђања блоковски распоређених инструкција.

DSP	I_M [μA]	P_M [μW]	P_E [μW]	Тачност
μC	1036	1295	1274,58	98,42%
gpDSP1	1089	1361,25	1343,92	98,73%
gpDSP2	1081	1351,25	1333,79	98,71%
naDSP1	1121	1401,25	1396,29	99,65%
naDSP2	1121	1401,25	1400,60	99,95%
Сва језгра	2498	3122,5	3151,29	99,08%

Вредност укупне естимиране снаге P_E , блоковски распоређених инструкција на више језгара добија се следећим изразом:

$$P_E = P_{stat} + \sum_{i=1}^J P_{B(i)} = I_{stat} \times V_{DD} + \sum_{i=1}^J \left(\frac{1}{K} \sum_{k=1}^K f \times V_{DD}^2 \times C_{B(k)} \right)_{(i)} \quad (50)$$

J – број активних језгара

K – број инструкција које се извршавају на DSP језгру

$C_{B(k)}$ – ефективна капацитивност k -те инструкције, i -тог језгра

Као што се из Табеле 36. може приметити тачност предвиђања укупне снаге извршавања блоковски распоређених инструкција на више језгара, представљених на Слици 22. и Слици 23., користећи израз (50), је веома висока, са грешком не већом од 1.58%.

```
//Main executable code here
main:
// IDLE(0x00)
.repeat 100 NOP, NOP, NOP, NOP ## NOP, NOP, NOP, NOP
NOP, NOP, NOP, NOP ## NOP, NOP, NOP, NOP
.repeat 100 {PXA0:OXA0} = XAD[0x00], {SXA0:EXA0} = XBD[0x00],
{PYA0:OYA0} = YAD[0x00], {SYA0:EYA0} = YBD[0x00]
NOP, NOP, NOP, NOP ## NOP, NOP, NOP, NOP
.repeat 100 X0=*PXA0(OXA0), Y0=*PYA0(OYA0)
NOP, NOP, NOP, NOP ## NOP, NOP, NOP, NOP
.repeat 100 ZC=*PXA1(OXA1), Y1=*PYA0(OYA0)
NOP, NOP, NOP, NOP ## NOP, NOP, NOP, NOP
.repeat 100 CLR_REGS(0xA0)
NOP, NOP, NOP, NOP ## NOP, NOP, NOP, NOP
.repeat 100 PXA0 = PXA0(OXA0), PXB0 = PXB0(OXB0), NOP, NOP
NOP, NOP, NOP, NOP ## NOP, NOP, NOP, NOP
.repeat 100 XAD[0x00] = {PXA0:OXA0}, NOP, NOP, NOP
NOP, NOP, NOP, NOP ## NOP, NOP, NOP, NOP
.repeat 100 YA[1+0x02] = PYA1
NOP, NOP, NOP, NOP ## NOP, NOP, NOP, NOP
.repeat 100 OXA1 = 2
NOP, NOP, NOP, NOP ## NOP, NOP, NOP, NOP
GOTO main
```

Слика 23. Изворни код блоковски распоређених инструкција код паDSP1 и паDSP2.

4.1.2.3.2 Међуинструкцијски утицај

Међуинструкцијски утицај на укупну потрошњу енергије настаје као последица промене стања кола (circuit-state effect) (Tiwari, Malik / Wolfe 1994) (Klass, и други Jun. 1998), када интегрисано коло прелази из стања у коме је извршавало једну инструкцију, у стање у коме треба да извршава следећу инструкцију, која је различита од претходне. То подразумева следеће: за један тип инструкције постоји један подскуп транзистора, скупа свих CMOS транзистора интегрисаног кола, који је ангажован и активан, док се та инструкција извршава, док се за други тип инструкције други подскуп CMOS транзистора налази у активном стању, у току извршавања те инструкције. Симетрична разлика између та два подскупа представља транзисторе чија промена стања изазива утршак енергије познат под називом: ефекат промене стања кола (circuit-state effect), или међуинструкцијски вишак енергије.

Ако знамо да ефективну капацитивност инструкције карактерише збир еквивалентних капацитивности CMOS транзистора који учествују у извршавању те инструкције, онда међуинструкциону ефективну капацитивност представља збир еквивалентних капацитивних оптерећења транзистора који чине симетричну разлику скупова активних транзистора две суседне инструкције, то јест, оних транзистора који мењају своје стање из активног у неактиван, и обрнуто.

$$\begin{aligned} A \setminus B &= \{x \mid x \in A \wedge x \notin B\} \\ C &= A \Delta B = (A \setminus B \cup B \setminus A) \end{aligned} \quad (51)$$

x – активни транзистор

A – скуп активних транзистора једне инструкције

B – скуп активних транзистора суседне инструкције

C – симетрична разлика скупова A и B

Као што се може видети из израза (51) скуп C чине транзистори који представљају симетричну разлику скупова активних транзистора у току извршавања две суседне инструкције A и B .

$$\begin{aligned} C &= \{x_1, x_2, x_3, \dots, x_n\} \\ C_1 &= \sum_{i=1}^n C_{Ex(i)} \end{aligned} \quad (52)$$

Табела 37. Измерене вредности међуинструкционе ефективне капацитивности.

Суседне инструкције	I_B [μA]	I_M [μA]	$I_I = I_M - I_B$ [μA]	C_I [pF]
{NOP}, {[STORE A0, E[0xf006]]}	282	423	141	11,02
{NOP}, {GOTO _label}	278	424	146	11,4
{STORE A0, E[0xf006]}, {GOTO _label}	331	433	102	7,97
{NOP}, {STORE A0, E[0xf006]}, {GOTO _label}	297	432	135	10,55

Ако скуп C чини N транзистора, тада се међуинструкциона ефективна капацитивност може дефинисати као збир еквивалентних капацитивности C_{Ex} транзистора који се налазе у скупу C . Енергија која су троши услед међуинструкционог утицаја, при промени стања кола, рачуна се на следећи начин:

$$E_I = V_{DD}^2 \times C_I \quad (53)$$

Та енергија суштински представља рад који је потребно извршити да би транзистори из скупа C променили своје стање, из активног у неактиван, или обрнуто. Снага којом ће се тај рад извршити зависи од периоде радног такта:

$$P_I = \frac{E_I}{T} = \frac{V_{DD}^2 \times C_I}{T} = V_{DD}^2 \times C_I \times f \quad (54)$$

Међуинструкциони утицај, на укупну потрошњу енергије, најједноставније се илуструје на примеру три различите инструкције, приказане у Табели 37. У Табели 37. представљене су вредности основне потрошње I_B , које се рачунају као аритметичка средина вредности основних потрошњи суседних инструкција, затим измерена вредност I_M , која се мери у току извршавања испреплетаних суседних инструкција. Вредност струје међуинструкционог утицаја I_I представља разлику претходне две вредности. Вредност ефективне капацитивности међуинструкционог утицаја се рачуна на следећи начин:

$$C_I = \frac{I_I \times V_{DD}}{V_{DD}^2 \times f} = \frac{I_I}{V_{DD} \times f} \quad (55)$$

Имајући у виду да су мерења вршена при основној учестаности радног такта од 10.24MHz, при константном напону напајања од 1.25V, прорачун постаје тривијалан. У Табели 37. такође је уочљиво да је вредност потрошње I_M при

извршавању две испреплетане инструкције у свим случајевима већа од основне потрошње I_B , што иде у прилог описаном моделу. Осим наведеног, може се приметити да би вредност ефективне међуинструкционе капацитивности у последњем случају у Табели 37., када су све три инструкције једна другој суседне, требала да буде блиска аритметичкој средини свих ефективних међуинструкционих капацитивности двеју суседних инструкција, што и јесте случај, релативна девијација је 3.94%. На основу свих ових сазнања могуће је проширити модел приказан изразом (50) са међуинструкционим утицајем:

$$P_E = P_{stat} + \sum_{i=1}^J (P_{B(i)} + P_{I(i)}) =$$

$$I_{stat} \times V_{DD} + \sum_{i=1}^J \left(\frac{1}{K} \sum_{k=1}^K f \times V_{DD}^2 \times (C_{B(k)} + C_{I(k)}) \right)_{(i)} \quad (56)$$

J – број активних језгара

K – број инструкција које се извршавају на DSP језгру

$C_{B(k)}$ – ефективна капацитивност k -те инструкције, i -тог језгра

$C_{I(k)}$ – ефективна међуинструкциона капацитивност k -те инструкције, i -тог језгра

Треба имати у виду да два модела представљена изразим (50) и (56) нису у колизији, већ да модел представљен изразом (56) представља само проширење модела представљеног изразом (50), параметром међуинструкционе капацитивности C_I , који се не уврштава у прорачун уколико су две суседне инструкције идентичне, јер тада не постоји међуинструкциони утицај, што је био случај у експериментима вршеним у претходном поглављу (4.1.2.3.1). На основу дефиниције ефективне међуинструкционе капацитивности (ЕМК), да она представља симетричну разлику активних транзистора две суседне инструкције, имплицира се закључак: да би се утврдиле све вредности ЕМК за једну инструкцију, потребно је извршити мерења те инструкције у комбинацији са свим осталим инструкцијама, као на пример што је урађено у примеру са три инструкције представљеном у Табели 37. и методологијама описаним у (Tiwari, Malik / Wolfe 1994) (Nikolaidis, Kavvadias / Neofotistos, Inter-instruction effect cost measurements 2002) (Roy / Johnson 1997) (Basmadjian / de Meer 2012) (Lee, и други 1995). Такав приступ сигурно обезбеђује најтачнију анализу потрошње

енергије и међуинструкционог утицаја, међутим такође захтева веома велик број неопходних мерења како би се добиле све неопходне емпиријске вредности.

Временска комплексност одређивања свих ЕМК над целим инструкционим сетом може се изразити великом O нотацијом, и практично би представљала комбинације без понављања над два елемента, што на пример у случају инструкционог сета од сто различитих инструкција представља број од скоро пет хиљада неопходних мерења, само за одређивање ЕМК:

$$O\left(\frac{n}{2}\right) = O\left(\frac{n!}{2!(n-2)!}\right) = O\left(\frac{100!}{2! \times 98!}\right) = 4950 \quad (57)$$

Како би се смањило неопходан број потребних мерења за одређивање ЕМК, тражила се одговарајућа апроксимација која би смањила број неопходних мерења, а да при том не утиче значајно на тачност модела естимације. Главна идеја је била да се нађе инструкција која би представљала референтну тачку при мерењу ЕМК. Свим инструкцијама би онда само на основу мерења са референтном инструкцијом одређивана ЕМК, што фактички значи да би свака инструкција из инструкционог скупа имала само једну ЕМК.

$$O(n-1) = O(100-1) = O(99) \quad (58)$$

На овај начин би се рецимо на инструкционом скупу од сто инструкција, број неопходних мерења смањило око педесет пута, било би неопходно извести деведесетдевет мерења (58), наспрам скоро петхиљада (57). Као логичан избор за референтну инструкцију наметнула се NOP инструкција, зато што би се могло рећи да она активира најмањи број транзистора у току извршавања, што се може закључити на основу вредности основне потрошње, која је најмања (Табела 26). Из тог разлога може се рећи да, на изванредан начин, NOP инструкција поставља циљну платформу у иницијално стање у току извршавања инструкције, у смислу да се такт дистрибуира минималном скупу транзистора. Из свега наведеног произилази да је NOP инструкција изабрана како би се постигао уједначен број елемената скупа C (51) у пару са било којом инструкцијом, то јест, како би се добила уједначена расподела ЕМК над целим инструкционим скупом. Треба такође нагласити да је исто тако могла бити одабрана и нека друга инструкција али, дошло се до закључка да је NOP инструкција довољно добар избор, што потврђују наредни експерименти. У случају да се експериментално утврдило да

```

/*
 * main processing loop
 */
int main(void)
{
    while(1){
        asm("NOP");
        asm("STORE A0, E[0xf006]");
        asm("NOP");
        asm("STORE A0, E[0xf006]");
        asm("NOP");
        asm("STORE A0, E[0xf006]");
        asm("NOP");
        asm("STORE A0, E[0xf006]");
        asm("NOP");
        asm("STORE A0, E[0xf006]");
        .
        .
        .
    }
    return(0);
}

```

Слика 24. Изворни код за утврђивање МЕК инструкције {STORE A0, E[0xf006]} коришћењем NOP инструкције.

је апроксимација ЕМК недовољно прецизна, за нову референтну инструкцију би се изабрала инструкција чија се основна потрошња налази на средини опсега, како би се тако обезбедила равномерна дистрибуција ЕМК и грешке предвиђања.

Као што се са Сlike 24. може приметити, изворни код за утврђивање ЕМК је организован тако да се NOP инструкција и инструкција чија се ЕМК жели утврдити распоређују наизменично. Такав код се спусти на једно језгро, а затим покрене, након чега се мери струја напајања I_M . Узимајући у обзир да се експеримент изводи на једном језгру, користећи две различите инструкције, као и модел приказан изразом (56), рачунање струје ЕМК (C_I) се своди на следеће:

$$\begin{aligned}
 P_M &= P_{stat} + (P_B + P_I) \\
 I_M \times V_{DD} &= I_{stat} \times V_{DD} + \frac{1}{K} \sum_{k=1}^K f \times V_{DD}^2 \times (C_{B(k)} + C_{I(k)}) \\
 I_M \times V_{DD} &= I_{stat} \times V_{DD} + f \times V_{DD}^2 \times \frac{C_{B_NOP} + C_{B_INST} + 2 \times C_I}{2} \\
 C_I &= \frac{I_M - I_{stat}}{f \times V_{DD}} - \frac{C_{B_NOP} + C_{B_INST}}{2}
 \end{aligned} \tag{59}$$

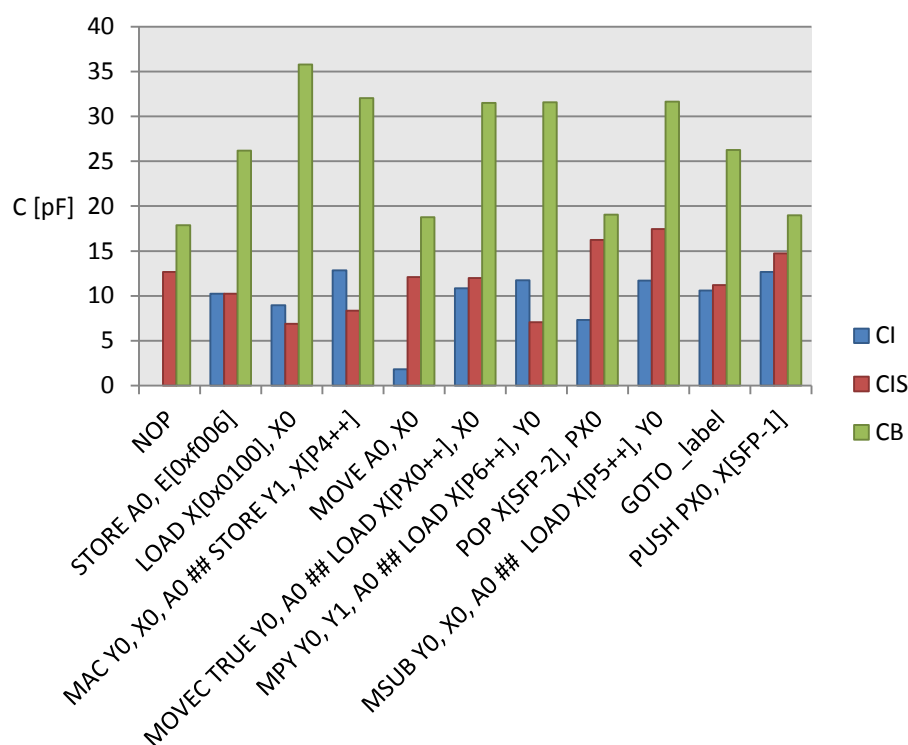
Табела 38. Измерене вредности МЕК инструкција на gpDSP1 језгру.

gpDSP1	I_I [μ A]	I_{IS} [μ A]	C_I [pF]	C_{IS} [pF]	C_B [pF]
NOP	967	1136	0	12,66	17,89
STORE A0, E[0xf006]	1151	1151	10,23	10,23	26,17
LOAD X[0x0100], X0	1196	1223	8,95	6,91	35,78
MAC Y0, X0, A0 ## STORE Y1, X[P4++]	1222	1244	12,85	8,36	32,03
MOVE A0, X0	996	1218	1,84	12,11	18,75
MOVEC TRUE Y0, A0 ## LOAD X[PX0++], X0	1193	1213	10,86	11,99	31,48
MPY Y0, Y1, A0 ## LOAD X[P6++], Y0	1205	1232	11,76	7,07	31,56
POP X[SFP-2], PX0	1068	1270	7,31	16,25	19,06
MSUB Y0, X0, A0 ## LOAD X[P5++], Y0	1205	1257	11,72	17,46	31,64
GOTO _label	1156	1252	10,59	11,21	26,25
PUSH PX0, X[SFP-1]	1136	1216	12,66	14,73	18,98

У претходном изразу (59) C_{B_NOP} и C_{B_INST} представљају ефективне капацитивности инструкција NOP и инструкције чија се ЕМК мери, респективно. Како би се утврдила тачност естимације, коришћењем ЕМК NOP апроксимације, приступило се експерименту. Експеримент из претходног поглавља (4.1.2.3.1), у коме учествују инструкције из Табеле 26., је модификован тако да су инструкције распоређене сукцесивно, уместо блоковског распореда, како би међуинструкциони утицај дошао до изражаја. Да би смо експеримент успешно извршили било је неопходно одредити ЕМК (C_I) за све инструкције из Табеле 26. користећи претходно описану методологију и израз (59). Такође, утврђена је и ЕМК свих суседних инструкција непосредно (C_{IS}), како би се одредило одступање NOP апроксимације МЕК од стварних вредности.

Табела 39. Одступање NOP апроксимације и удео у укупној потрошњи динамичке енергије.

gpDSP1	Одступање	Удео
NOP	100,00%	70,76%
STORE A0, E[0xf006]	0,00%	39,10%
LOAD X[0x0100], X0	29,38%	19,32%
MAC Y0, X0, A0 ## STORE Y1, X[P4++]	53,74%	26,10%
MOVE A0, X0	84,84%	64,58%
MOVEC TRUE Y0, A0 ## LOAD X[PX0++], X0	9,44%	38,09%
MPY Y0, Y1, A0 ## LOAD X[P6++], Y0	66,30%	22,40%
POP X[SFP-2], PX0	55,05%	85,25%
MSUB Y0, X0, A0 ## LOAD X[P5++], Y0	32,88%	55,18%
GOTO _label	5,57%	42,71%
PUSH PX0, X[SFP-1]	14,06%	77,57%



Слика 25. Апроксимирана и стварна вредност МЕК, као и ефективна капацитивност инструкције.

На Слици 25. може се уочити колико је одступање NOP апроксимације МЕК (C_I) у односу на стварну вредност (C_{IS}), као и колики удео у потрошњи динамичке енергије заузима међуинструкциони утицај, у односу на основну потрошњу инструкције (C_B). У Табели 39. дат је преглед тих вредности по инструкцијама. Може се уочити да МЕК, а самим тим и међуинструкциони утицај, представља значајну компоненту, тако да та вредност може доста да утиче на укупну потрошњу енергије. Такође, може се приметити да је одступање NOP апроксимације МЕК, поприлично велико за неке инструкције. Да би се испитала тачност естимације са апроксимираним и стварним вредностима МЕК, приступило се експерименту. Свих једанаест инструкција из Табеле 38. су пуштене да се извршавају сукцесивно у бесконачној петљи, а затим се приступило мерењу струје напајања. Измерена вредност се пореди са естимираним вредностима које се рачунају користећи израз (56) и вредности ефективних капацитивности приказаних у Табели 38. Да би се пружио увид у значај међуинструкцијског утицаја, приступило се прво рачунању снаге користећи израз (48) где се не узима у обзир допринос међуинструкцијског

утицаја на укупну потрошњу енергије. Тачност тако добијене вредности укупне снаге износила је свега 87.97%. У случају када се снага рачунала изразом (56) и користила вредност МЕК добијена мерењем са NOP инструкцијом, тачност естимације је порасла на 97.37%. Када су уврштене вредности МЕК, добијене мерењем две суседне инструкције, тачност естимације снаге се попела на 99.75%.

Из резултата експеримента може се закључити да међуинструкцијски утицај значајно утиче на укупну потрошњу енергије приликом извршавања неког програма, тако да се не може занемарити његов утицај уколико желимо да постигнемо тачан модел естимације укупне снаге и енергије. Како би смањили укупан број мерења потребних за добијање МЕК прибегло се апроксимацији са NOP инструкцијом, која је подразумевала мерење МЕК само са том инструкцијом, а не са целим инструкционим скупом, чиме је број потрбних мерења смањен око педесет пута. Из резултата експеримента може се приметити да је МЕК добијен апроксимацијом дао поприлично добре резултате, са грешком предвиђања од 2.63%, што у односу на случај када је међуинструкцијски утицај занемарен представља значајан померај, тачност предвиђања укупне снаге је повећана за скоро 10%. Међутим, потврдило се очекивано, да се најтачнији модел естимације остварује уколико се за сваку инструкцију измери МЕК у односу на све остале инструкције из инструкционог скупа, и у зависности од суседне инструкције, у изразу (56) користи се одговарајућа вредност МЕК. Показало се у претходном експерименту да је грешка предвиђања укупне снаге у том случају износила свега 0.25%.

Табела 40. Измерене и израчунате вредности укупне снаге дисипације током експеримента.

gpDSP1	Измерено	без МЕК	NOP МЕК	Суседне МЕК
$P_M [\mu W]$	1527,50	1343,75	1487,39	1531,37
Тачност	100,00%	87,97%	97,37%	99,75%

4.1.2.3.2.1 Посредно одређивање међуинструкционе ефективне капацитивности

Уколико се жели остварити најпрецизнији модел естимације снаге и енергије која се дисипира у току извршавања неке апликације, као што је наведено, неопходно је прецизно измерити међуинструкциони утицај између

било које две инструкције из инструкционог скупа, што подразумева мерење вишка енергије који се дисипира када се две инструкције укрсте, као на Слици 24. Тај вишак енергије који се дисипира када се укрсте две инструкције практично представља разлику измерене енергије укрштених и блоковски распоређених инструкција, односно вишак енергије у односу на аритметичку средину основне потрошње две инструкције. Као што се са Сlike 24. може видети, да би се МЕК две инструкције утврдила, неопходно је укрстити их, међутим због архитектонских ограничења циљне DSP платформе то није увек могуће извести непосредно. У претходном експерименту то је био случај са два пара инструкција:

1. `LOAD X[0x0100], X0` и
`MAC Y0, X0, A0 ## STORE Y1, X[P4++]`
2. `POP X[SFP-2], PX0` и
`MSUB Y0, X0, A0 DBL_HASH LOAD X[P5++], Y0`

Ограничење настаје углавном услед немогућности читања и писања у исту меморијску зону у два суседна циклуса. Услед наведеног ограничења, не могуће је директно измерити МЕК, како је то урађено у осталим случајевима. Да би се превазишла препрека, приступило се методи посредног мерења МЕК која се састоји из следећих корака:

- 1) Изабере се трећа инструкција, која служи да се раздвоји хазард суседних циклуса који настаје услед архитектонских ограничења наменске DSP платформе. У нашем случају за ту сврху је изабрана *GOTO _label* инструкција, мада би и *NOP* инструкција могла да послужи као добар кандидат зато што није у конфликту ни са једном инструкцијом из инструкционог скупа, као што је то случај и са *GOTO _label* инструкцијом. Разлог што је изабрана *GOTO _label* инструкција може се пронаћи у једноставнијој имплементацији изворног кода који се реализује у циљу посредног мерења МЕК. Наиме, довољно је инструкцију од интереса поставити у бесконачну петљу, а компајлер ће то превести у захтевану организацију изворног кода.

- 2) Једна од две конфликтне инструкције се упари са *GOTO _label* инструкцијом, а затим се измери МЕК (C_{13}) која настаје том приликом. Исти поступак се понови за другу инструкцију (C_{23}).
- 3) Све три инструкције, две конфликтне и *GOTO _label* (Слика 26.), се затим спусте на DSP платформу и покрену, а затим се мери МЕК која настаје том приликом (C_{123}). Како *GOTO _label* инструкција претходи критичном читању, до хазарда овога пута неће доћи.

Како би се израчунале поменуте вредности МЕК коришћени су следећи изрази, изведени из израза (59):

$$\begin{aligned}
 C_{13} &= \frac{I_M - I_{stat}}{f \times V_{DD}} - \frac{C_{B1} + C_{B3}}{2} \\
 C_{23} &= \frac{I_M - I_{stat}}{f \times V_{DD}} - \frac{C_{B2} + C_{B3}}{2} \\
 C_{123} &= \frac{I_M - I_{stat}}{f \times V_{DD}} - \frac{C_{B1} + C_{B2} + C_{B3}}{3}
 \end{aligned} \tag{60}$$

C_{13} - МЕК прве конфликтне инструкције и *GOTO _label*

C_{23} - МЕК друге конфликтне инструкције и *GOTO _label*

C_{123} - МЕК конфликтних инструкција и *GOTO _label*

C_{B1} - ефективна капацитивност прве конфликтне инструкције

C_{B2} - ефективна капацитивност друге конфликтне инструкције

C_{B3} - ефективна капацитивност *GOTO _label* инструкције

```

/*
 * main processing loop
 */
int main(void)
{
    while(1){
        asm("POP X[SFP-2], PX0");
        asm("MSUB Y0, X0, A0 ## LOAD X[P5++], Y0");
    }
    return(0);
}
    
```

Слика 26. Изворни код за одређивање укупне МЕК две конфликтне инструкције и *GOTO _label* инструкције.

Уколико тражену вредност МЕК две конфликтне инструкције обележимо са C_{12} , онда се може тврдити следеће:

$$C_{123} = \frac{C_{12} + C_{23} + C_{13}}{3} \quad (61)$$

Претходни израз нам говори да се укупна МЕК може изразити као аритметичка средина свих суседних МЕК, што такође произилази из израза (59). Како су вредности свих МЕК утврђене, лако се рачуна тражена вредност:

$$C_{12} = 3 \times C_{123} - (C_{13} + C_{23}) \quad (62)$$

У Табели 41. дат је преглед измерене струје напајања током експеримента. На основу те вредности (I_M) и израза (60) рачунају се вредности МЕК.

Табела 41. Измерене и израчунате вредности МЕК.

Инструкција	I_M [μA]	C_{13} [pF]	C_{23} [pF]	C_{123} [pF]	C_{12} [pF]
GOTO _label					
MAC Y0, X0, A0 ## STORE Y1, X[P4++]	1244	10,39			
GOTO _label					
LOAD X[0x0100], X0	1209		5,78		
GOTO _label					
LOAD X[0x0100], X0					
MAC Y0, X0, A0 ## STORE Y1, X[P4++]	1244			8,18	
LOAD X[0x0100], X0					
MAC Y0, X0, A0 ## STORE Y1, X[P4++]	X				8,37
GOTO _label					
POP X[SFP-2], PX0	1227	15,55			
GOTO _label					
MSUB Y0, X0, A0 ## LOAD X[P5++], Y0	1258		11,68		
GOTO _label					
POP X[SFP-2], PX0					
MSUB Y0, X0, A0 ## LOAD X[P5++], Y0	1257			14,9	
POP X[SFP-2], PX0					
MSUB Y0, X0, A0 ## LOAD X[P5++], Y0	X				17,47

Ако узмемо у обзир да су предложеном методологијом добијене вредности МЕК коришћене у претходном експерименту, за наведена два пара инструкција, и том приликом постигнута тачност предвиђања укупне снаге дисипације од 99.75%, може се извести закључак да је описана методологија исправна и прецизна.

4.2 Математички модел

4.2.1 Модел средње снаге дисипације

На основу свега до сада приказаног могуће је извести универзални математички модел укупне енергије и средње снаге дисипације вишејезгарне наменске апликације. Као што је раније наведено, средња снага дисипације, може се изразити као аритметичка средина снага сваког појединачног циклуса.

$$P_n = \frac{1}{n} \sum_{k=0}^{n-1} P_{c(k)} \quad (63)$$

n – број извршених циклуса наменске апликације

Из претходне анализе сасвим је јасно да снагу једног циклуса, у току извршавања вишејезгарне наменске апликације чине две компоненте (5): статичка у динамичка. Како је статичка компонента одређена (16), снагу једног циклуса дефинишемо на следећи начин:

$$P_c = I_{stat} \times V_{DD} + P_{dyn} \quad (64)$$

Дефинисање динамичке компоненте снаге расипања представља већи изазов, али на основу декомпозиције те компоненте, којом су се бавила претходна поглавља, могуће је и то одредити. Динамичку компоненту могуће је поделити у две основне категорије: Снагу расипања периферија и снагу расипања језгара.

$$P_{dyn} = P_{Peripherals} + P_{MCore} \quad (65)$$

Снага расипања активних периферија, у току једног циклуса, се може дефинисати као сума снага свих активних периферија у току тог циклуса, које су представљене у Табели 18. Да би се одредило да ли је нека периферија у току једног циклуса била активна закључујемо на основу тога да ли је имала радни

такт или не. Ту информацију добијамо користећи алат за профилисање представљен у (Ivan Považan 2015).

$$P_{Peripherals} = \sum_{i=1}^N P_{P(i)} \quad (66)$$

N – број активних периферија у току једног циклуса.

P_P – снага расипања активне периферије

Да би снага расипања активне периферије могла да се одреди при различитим учестаностима радног такта, дефинише се преко ефективне капацитивност активне периферије, такође приказане у Табели 18.

$$P_P(V, f, C) = V_{DD}^2 \times f \times C_P \quad (67)$$

Из израза (66) и (67) произилази укупна снага расипања активних периферија у току једног циклуса, у функцији учестаности радног такта, напона напајања и ефективне капацитивности активне периферије:

$$P_{Peripherals}(V, f, C) = V_{DD}^2 \times f \times \sum_{i=1}^N C_{P(i)} \quad (68)$$

Извршавање вишејезгарне наменске апликације на DSP језгрима, подразумева да се језгра налазе у једном од следећа три стања:

1. Језгро нема радни такт
2. Језгро је неактивно (налази се у стању мировања)
3. Језгро извршава инструкцију

У случају да језгро нема радни такт, на њему се неће дисипирати динамичка енергија, па ће самим тим динамичка снага дисипације језгра у том стању бити једнака нули. Када се језгро налази у стању мировања, тада постоји динамичко расипање, зато што се радни такт дистрибуира на језгру. У том случају језгро практично извршава инструкцију IDLE, која се моделује као и свака друга инструкција, ефективном капацитивношћу инструкције. Преглед вредности ефективних капацитивности инструкције IDLE дат је по језгрима у Табели 14.

Уколико се на DSP језгру извршава инструкција, она се одликује основном потрошњом инструкције (4.1.2.3.1), која се моделује ефективном капацитивности инструкције (47), и међуинструкцијским утицајем (4.1.2.3.2), који се представља преко међуинструкцијске ефективне капацитивности (55).

Имајући у виду да се наменска апликација у току једног циклуса може извршавати на више DSP језгара, снага расипања језгара се одређује као сума снага свих активних језгара у том циклусу.

$$P_{MCore} = \sum_{i=0}^K P_{DSP(i)} \quad (69)$$

K – број језгара, у датом циклусу, који имају радни такт

P_{DSP} – снага расипања једног језгра

Снагу расипања, као што је раније наведено, изражавамо преко ефективне капацитивности инструкције, која се у том циклусу извршава, међуинструкционе капацитивности, фреквенције радног такта и напона напајања:

$$P_{DSP}(V, f, C) = V_{DD}^2 \times f \times (C_B + C_I) \quad (70)$$

Из израза (69) и (70) следи снага расипања језгара у току једног циклуса:

$$P_{MCore}(V, f, C) = V_{DD}^2 \times f \times \sum_{i=1}^K (C_{B(i)} + C_{I(i)}) \quad (71)$$

$C_{B(i)}$ – ефективна капацитивност инструкције која се извршава на i -том језгру

$C_{I(i)}$ – међуинструкциона ефективна капацитивност инструкције која се извршава на i -том језгру

Важно је напоменути да МЕК (C_I) улази у прорачун само уколико је наредна инструкција различитог типа, то јест МЕК две суседне инструкције истог типа је једнака нули.

Како су сада обе компоненте динамичке снаге расипања дефинисане, уврштавањем израза (68) и (71), у израз (64) добијамо укупну снагу расипања у току једног такта:

$$\begin{aligned} P_C &= I_{stat} \times V_{DD} + V_{DD}^2 \times f \times \sum_{i=1}^N C_{P(i)} + V_{DD}^2 \times f \times \sum_{i=1}^K (C_{B(i)} + C_{I(i)}) \\ P_C &= I_{stat} \times V_{DD} + V_{DD}^2 \times f \times \left(\sum_{i=1}^N C_{P(i)} + \sum_{i=1}^K (C_{B(i)} + C_{I(i)}) \right) \end{aligned} \quad (72)$$

Уколико сада тај израз уврстимо у почетни (63), добијамо израз (74) којим се рачуна укупна снага дисипације наменске апликације, која се извршавала n циклуса.

$$P_n = \frac{1}{n} \sum_{k=0}^{n-1} \left(I_{stat} \times V_{DD} + V_{DD}^2 \times f \times \left(\sum_{i=1}^N C_{P(i,k)} + \sum_{i=1}^K (C_{B(i,k)} + C_{I(i,k)}) \right) \right) \quad (73)$$

Може се приметити да је статичка компонента снаге непроменљива, па се из тог разлога може извући испред суме.

$$P_n = I_{stat} \times V_{DD} + \frac{V_{DD}^2 \times f}{n} \sum_{k=0}^{n-1} \left(\sum_{i=1}^N C_{P(i,k)} + \sum_{i=1}^K (C_{B(i,k)} + C_{I(i,k)}) \right) \quad (74)$$

Такође опште је познато да је снага једнака производу напона у струје, па се у складу са том чињеницом претходни израз може представити на следећи начин:

$$P_n = V_{DD} \times \left(I_{stat} + \frac{V_{DD} \times f}{n} \sum_{k=0}^{n-1} \left(\sum_{i=1}^N C_{P(i,k)} + \sum_{i=1}^K (C_{B(i,k)} + C_{I(i,k)}) \right) \right) \quad (75)$$

У изразу (75) индикативно је да се струјна компонента састоји од статичке и динамичке струје:

$$P_n = V_{DD} \times (I_{stat} + I_{dyn}) \quad (76)$$

На основу чега следи израз за средњу вредност динамичке струје у току извршавања n циклуса наменске вишејезгарне DSP апликације:

$$I_{dyn} = \frac{V_{DD} \times f}{n} \sum_{k=0}^{n-1} \left(\sum_{i=1}^N C_{P(i,k)} + \sum_{i=1}^K (C_{B(i,k)} + C_{I(i,k)}) \right) \quad (77)$$

4.2.2 Модел укупне енергије дисипације

Укупну енергију која се дисипира у току извршавања вишејезгарне наменске апликације, која се извршавала n циклуса, дефинишемо као збир енергија које се расипају у току сваког извршеног циклуса.

$$E_n = \sum_{k=0}^{n-1} E_{c(k)} \quad (78)$$

$E_{c(k)}$ – енергија расипања k -тог циклуса

Енергију која се дисипира у току једног такта можемо такође дефинисати као збир статичке и динамичке компоненте:

$$E_c = P_c \times T = (P_{stat} + P_{dyn}) \times T = I_{stat} \times V_{DD} \times T + E_{dyn} \quad (79)$$

T – периода радног такта

Динамичка енергија расипања, се такође састоји од две компоненте: енергије расипања периферија и енергије расипања језгара:

$$E_{dyn} = E_{peripherals} + E_{MCore} \quad (80)$$

Енергија која се дисипира, у току једног циклуса, услед активности периферија може се израчунати као сума енергија свих активних периферија у току датог циклуса. Под активном периферијом се подразумева она периферија која у том циклусу има радни такт.

$$E_{Peripherals} = \sum_{i=1}^N E_{P(i)} \quad (81)$$

N – број активних периферија у току једног циклуса.

E_P – енергија расипања активне периферије

Како динамичка снага расипања представља рад у јединици времена, енергију расипања периферије можемо извести из израза (67).

$$E_P(V, C) = P_P \times T = V_{DD}^2 \times C_P \quad (82)$$

Из израза за динамичку енергију периферије (82) приметно је одсуство зависности од периоде такта, што је у складу са претходно утврђеним тврдњама, да је динамичка енергија дисипације константна у току времена, док та иста тврдња важи за статичку снагу расипања.

Уврштавањем израза (82) у израз (81) добијамо укупну енергију дисипације периферија у току једног такта:

$$E_{Peripherals}(V, C) = V_{DD}^2 \times \sum_{i=1}^N C_{P(i)} \quad (83)$$

Енергија која се дисипира услед активности језгара може се израчунати као сума енергија које се расипају на сваком појединачном језгру.

$$E_{MCore} = \sum_{i=0}^K E_{DSP(i)} \quad (84)$$

K – број језгара, у датом циклусу, који имају радни такт

E_{DSP} – енергија расипања једног језгра

Динамичка енергија расипања једног језгра може се такође извести из израза за динамичку снагу расипања (71).

$$E_{DSP}(V, C) = P_{DSP} \times T = V_{DD}^2 \times (C_B + C_I) \quad (85)$$

На основу претходна два израза, (84) и (85), добијамо израз за укупну енергију дисипације језгара у току једног радног такта:

$$E_{MCore}(V, C) = V_{DD}^2 \times \sum_{i=0}^K (C_{B(i)} + C_{I(i)}) \quad (86)$$

$C_{B(i)}$ – ефективна капацитивност инструкције која се извршава на i -том језгру
 $C_{I(i)}$ – међуинструкциона ефективна капацитивност инструкције која се извршава на i -том језгру

Када изразе (83) и (86) уврстимо назад у израз (80), добијамо израз за укупну динамичку енергију дисипације једног циклуса, у функцији напона напајања и ефективних капацитивности:

$$\begin{aligned} E_{dyn}(V, C) &= V_{DD}^2 \times \sum_{i=1}^N C_{P(i)} + V_{DD}^2 \times \sum_{i=0}^K (C_{B(i)} + C_{I(i)}) \\ E_{dyn}(V, C) &= V_{DD}^2 \times \left(\sum_{i=1}^N C_{P(i)} + \sum_{i=0}^K (C_{B(i)} + C_{I(i)}) \right) \end{aligned} \quad (87)$$

Уколико израз (87) уврстимо у израз (79) добијамо израз за укупну енергију која се расипа у току једног радног такта:

$$E_c = I_{stat} \times V_{DD} \times T + V_{DD}^2 \times \left(\sum_{i=1}^N C_{P(i)} + \sum_{i=0}^K (C_{B(i)} + C_{I(i)}) \right) \quad (88)$$

Када се добијени израз (88) уврсти у почетни израз (78), добија се израз за укупну енергију која се потроши када вишејезгарна наменска DSP апликација изврши n циклуса.

$$\begin{aligned} E_n &= \sum_{i=1}^n \left(I_{stat} \times V_{DD} \times T + V_{DD}^2 \times \left(\sum_{i=1}^N C_{P(i)} + \sum_{i=0}^K (C_{B(i)} + C_{I(i)}) \right) \right) \\ E_n &= I_{stat} \times V_{DD} \times T \times n + V_{DD}^2 \times \sum_{k=1}^n \left(\sum_{i=1}^N C_{P(k,i)} + \sum_{i=0}^K (C_{B(k,i)} + C_{I(k,i)}) \right) \end{aligned} \quad (89)$$

4.2.3 Дискусија

Важно је приметити да изрази за средњу снагу расипања:

$$P_n(V, C, f) = I_{stat} \times V_{DD} + \frac{V_{DD}^2 \times f}{n} \sum_{k=1}^n \left(\sum_{i=1}^N C_{P(i,k)} + \sum_{i=1}^K (C_{B(i,k)} + C_{I(i,k)}) \right) \quad (90)$$

као и за укупну енергију дисипације вишејезгарне наменске апликације:

$$E_n(V, C, f) = I_{stat} \times V_{DD} \times T \times n + V_{DD}^2 \times \sum_{k=1}^n \left(\sum_{i=1}^N C_{P(k,i)} + \sum_{i=0}^K (C_{B(k,i)} + C_{I(k,i)}) \right) \quad (91)$$

представљају функције три основна параметра:

- 1) Напона напајања
- 2) Учестаности радног такта
- 3) Ефективних капацитивности

Разлог због кога је посебно важно да изрази (90) и (91) буду у функцији напона напајања и фреквенције радног такта, може се пронаћи у чињеници да се код платформи са веома ниском потрошњом енергије, управо варирањем та два параметра, програмски, покушава додатно смањити потрошња, па се тако прорачун снаге и енергије може одредити за било које вредности тих параметара.

Трећи параметар, ефективна капацитивност, представља квантитативну меру динамичке енергије, која се може одредити на основној фреквенцији радног такта. Будући да динамичка енергија не зависи од варирања периоде такта, једном одређена ефективна капацитивност остаје константна и на другим учестаностима радног такта, па се тиме олакшава прорачун динамичке снаге и енергије дисипације.

Узимајући у обзир претходно наведена разматрања, може се закључити да се естимација средње снаге и укупне енергије своди на одређивање статичке струје цурења CMOS интегралног кола, методом описаном у поглављу 4.1.1., ефективне капацитивности периферија, методом која је описана у поглављу 4.1.2.2. и ефективних капацитивности језгара, под које спадају ефективне капацитивности неактивних језгара, које се одређују методом описаном у поглављу 4.1.2.1., ефективних капацитивности инструкција, чије се вредности одређују методом описаном у поглављу 4.1.2.3.1. и коначно, међуинструкцијске

ефективне капацитивности, која се одређује методама приказаним у поглављу 4.1.2.3.2. Напон напајања и учестаност радног такта су познате.

Такође, занимљиво је приметити да је код израза за средњу снагу дисипације (90) статичка компонента независна од фреквенције радног такта, док код израза за укупну енергију расипања (91) динамичка компонента није у функцији периоде радног такта. То значи да су статичка снага расипања и динамичка енергија расипања не зависне од дужине трајања извршавања апликације. Слика 9. најбоље илуструје наведени закључак.

Може се приметити још, да се израз средње снаге расипања (90) помножен дужином трајања извршавања апликације (9) своди на израз укупне енергије (91) која се том приликом дисипира.

Важно је напоменути да су модели за естимацију средње снаге (90) и укупне енергије (91) наменских вишејезгарних DSP апликација, као и методологије приказане у поглављима: 4.1.1, 4.1.2.1, 4.1.2.2, 4.1.2.3.1, 4.1.2.3.2 и 4.1.2.3.2.1, универзалне и применљиве на било коју вишејезгарну наменску DSP платформу, а самим тим и за било које вишејезгарне наменске DSP апликације.

ПОГЛАВЉЕ 5.

ЕКСПЕРИМЕНТАЛНИ РЕЗУЛТАТИ И ДИСКУСИЈА

Како би се извршила потврда и провера математичког модела и методологија описаних у претходним поглављима, приступило се експерименту. Наиме, изабран је типичан представник наменских DSP апликација, FIR филтар, над којим су извођена мерења. Коришћене су имплементације FIR филтара за оба типа DSP језгара, наменске платформе, како би се међусобно могла упоредити потрошња енергије.

Над наменским апликацијама је прво извршено профилисање користећи алат Профајлер, како би се добио хистограм инструкција извршених у току симулације. Када је добијена табела извршених инструкција, приступило се мерењу основне потрошње енергије појединачних инструкција, као и међуинструкцијског утицаја. На основу измерених вредности рачунала се ефективна капацитивност инструкција (4.1.2.3.1) и међуинструкциона ефективна капацитивност (4.1.2.3.2). Периферије су биле неактивне у току експеримента, тако да је њихов утицај занемарен. Микроконтролер је био активан само у току иницијације, како би поставио жељену фреквенцију радног такта, након чега је постављен и неактивно стање коришћењем инструкције IDLE. Када су израчунати сви потребни параметри, уврштени су у изразе за естимацију средње снаге (4.2.1) и укупне енергије дисипације (4.2.2). Израчунате вредности се затим пореде са вредностима које се читавају на инструменту за мерење средње снаге

дисипације, у току симултаног извршавања FIR филтар апликације, на основу чега се даје процена тачности предложеног модела естимације.

5.1 Филтар са коначним одзивом – FIR

Дигитални (дискретни) филтри представљају једну од најчешћих наменских апликација у домену дигиталне обраде сигнала. Узимајући то у обзир, један такав представник, FIR филтар, је изабран за валидацију описаног модела естимације, како би се поред валидације дао увид у универзалност приказаног решења.

Основна сврха дискретних филтара представља трансформацију улазног сигнала у фреквенцијском домену, тако да се спектралне компоненте из једног опсега учестаности пропуштају у потпуности, док се спектралне компоненте сигнала изван тог домена анулирају. Стога, два наведена опсега учестаности се називају: пропусни и непропусни опсег. Дискретни филтри се могу описати помоћу диференцијалне једначине која даје релацију између улазних и излазних одбирака сигнала:

$$y(n) = \sum_{k=0}^{L-1} a(k) \times x(n-k) - \sum_{k=1}^M b(k) \times y(n-k) \quad (92)$$

$y(n)$ – излазни одбирци сигнала

$x(n)$ – улазни одбирци сигнала

$a(k)$ – директан део

$b(k)$ – рекурзивни део

Параметар филтра који представља директан део ($a(k)$) зависи само од улазних одбирака сигнала, док рекурзивни део ($b(k)$) зависи од претхоних излазних одбирака. Дискретни филтри са коначним импулсним одзивом (FIR – Finite Impulse Response) немају рекурзивни део, па се на основу те чињенице и израза (92) може извести једначина која описује FIR филтар:

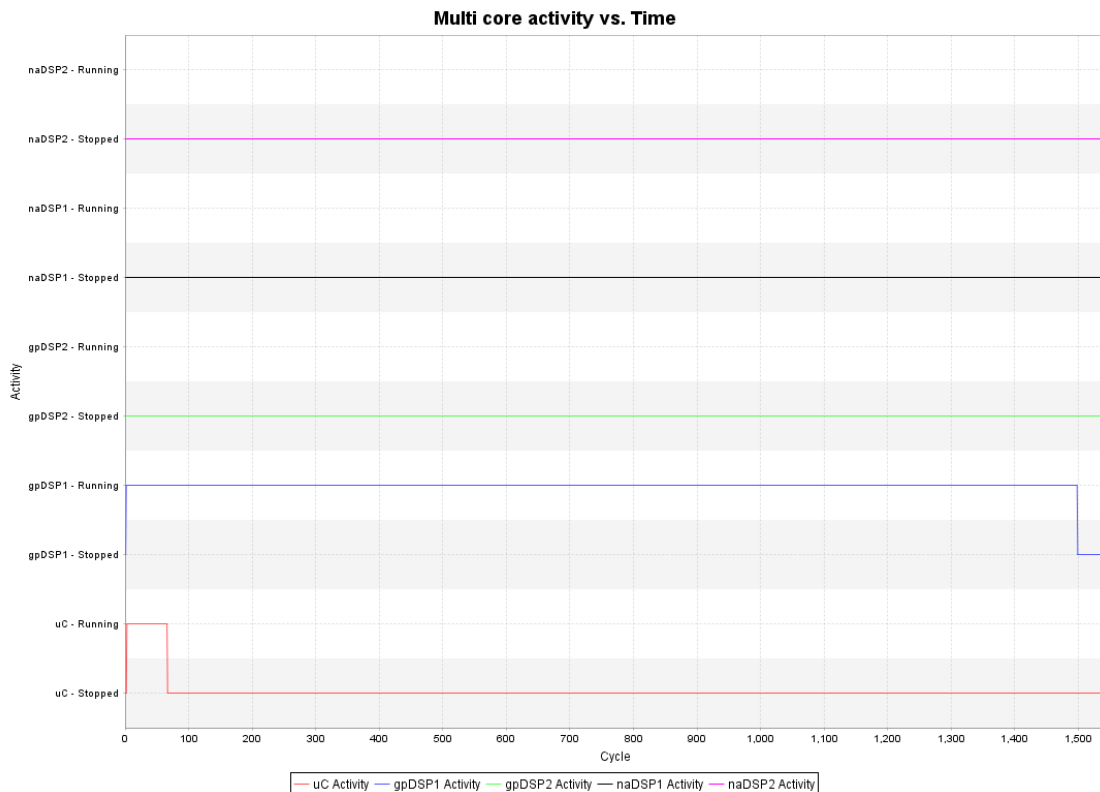
$$y(n) = \sum_{k=0}^{L-1} a(k) \times x(n-k) \quad (93)$$

У наредна два поглавља представљена је имплементација FIR филтра за две различите архитектуре DSP језгара, циљне платформе, gpDSP и naDSP. Као што је раније наведено gpDSP језгра представљају спадају у групу DSP процесора

опште намене, тако да не садрже специјалне инструкције које могу да убрзају нумеричку обраду, за разлику од naDSP језгара, чија је сврха управо то, да користећи паралелизам операција на нивоу инструкције, за мање потрошених циклуса обави филтрирање улазних одбирака. Наредни експерименти би требало да подрже ову претпоставку. Извршена су мерења снаге и енергије дисипације, након чега су добијене вредности упоређене са израчунатим, коришћењем израза за средњу снагу (90) и укупну енергију (91) расипања. У поглављу 4.2.3 се дискутују добијени резултати.

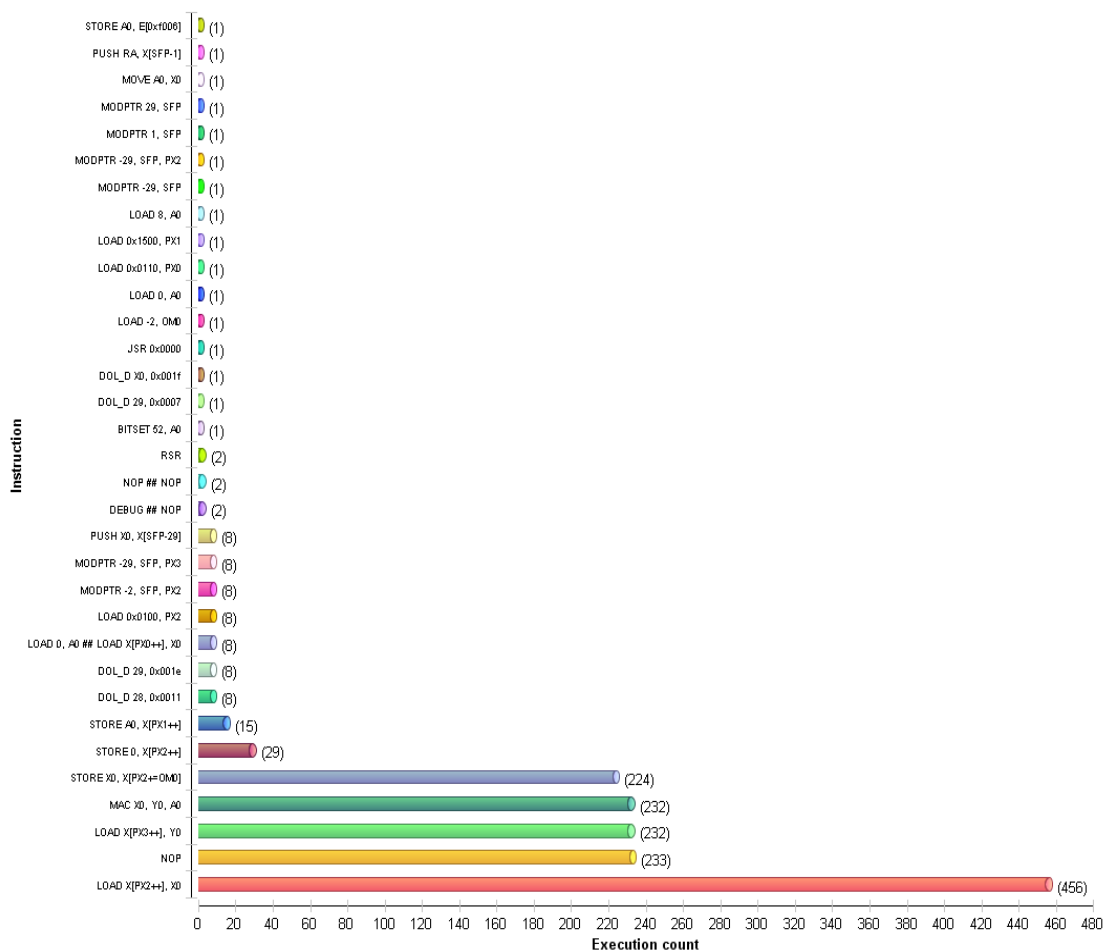
5.1.1 Имплементација за gpDSP језгра

Како би се проценила тачност, описаног модела естимације снаге и енергије расипања вишејезгарних наменских апликација, имплементиран је FIR филтар за gpDSP језгро циљне платформе, а затим су извођени експерименти. Као што се са Слике 27. може приметити, осим наведеног језгра, у експерименту је учествовао и микроконтролер, чији је основни задатак био да постави фреквенцију радног такта циљне платформе, на жељену вредност. Остала DSP језгра су била у стању ресета, то јест, нису добијала радни такт.



Слика 27. Граф активности језгара у току извршавања FIR филтра - gpDSP

Након тестирања имплементираниог FIR филтра, извршена је симулација апликације на виртуалној платформи, користећи алат Профајлер, како би се добиле неопходне информације потребне за извођење експеримента, као што су: инструкције које учествују у извршавању, колико пута се која инструкција извршила, која је учесталост радног такта, итд. Када је добијен хистограм извршених инструкција (Слика 28.), приликом једног проласка кроз главну петљу обраде, приступило се мерењу базне потрошње инструкција, као и међуинструкционог утицаја. Важно је напоменути, да су мерења извођена на основној фреквенцији радног такта. На основу измерених вредности израчунате су ефективне капацитивности инструкција (47) и међуинструкционе ефективне капацитивности (55),



Слика 28. Хистограм инструкција FIR филтра - gpDSP.

У Табели 42. дат је приказ инструкционог скупа, коришћеног за имплементацију FIR филтра на gpDSP језгру циљне платформе. Као што се може приметити, представљене су вредности ефективних капацитивности инструкција - C_B , израчунатих на основу измерених струја основне потрошње инструкције - I_B (47), и вредности међуинструкционих ефективних капацитивности - C_I , израчунатих на основу измерених међуинструкционих струја - I_I (55).

Табела 42. Ефективне капацитивности инструкција и међуинструкционог утицаја - gpDSP.

Инструкције	I_B [μA]	C_B [pF]	I_I [μA]	C_I [pF]	C_I/C_B
LOAD X[PX2++], X0	417	32,58	158	12,33	37,85%
NOP	226	17,66	94	7,38	41,80%
LOAD X[PX3++], Y0	291	22,73	159	12,38	54,47%
MAC X0, Y0, A0	234	18,28	100	7,83	42,83%
STORE X0, X[PX2+=OM0]	368	28,75	247	19,30	67,13%
STORE 0, X[PX2++]	282	22,03	196	15,30	69,45%
STORE A0, X[PX1++]	294	22,97	271	21,20	92,30%
DOL_D 28, 0x0011	324	25,31	111	8,64	34,13%
DOL_D 29, 0x001e	324	25,31	56	4,38	17,28%
LOAD 0, A0 ## LOAD X[PX0++], X0	384	30,00	416	32,51	108,37%
LOAD 0x0100, PX2	321	25,08	289	22,60	90,12%
MODPTR -2, SFP, PX2	321	25,08	242	18,94	75,52%
MODPTR -29, SFP, PX3	321	25,08	172	13,40	53,43%
PUSH X0, X[SFP-29]	223	17,42	255	19,92	114,34%
NOP ## NOP	320	25,00	71	5,55	22,19%
BITSET 52, A0	226	17,66	125	9,78	55,39%
DOL_D 29, 0x0007	324	25,31	364	28,41	112,24%
DOL_D X0, 0x001f	324	25,31	56	4,38	17,28%
JSR 0x0000	343	26,80	66	5,12	19,10%
LOAD -2, OM0	224	17,50	131	10,25	58,57%
LOAD 0, A0	224	17,50	236	18,43	105,31%
LOAD 0x0110, PX0	322	25,16	95	7,42	29,50%
LOAD 0x1500, PX1	322	25,16	105	8,20	32,61%
LOAD 8, A0	225	17,58	19	1,45	8,22%
MODPTR -29, SFP	233	18,20	54	4,18	22,96%
MODPTR -29, SFP, PX2	322	25,16	168	13,13	52,17%
MODPTR 1, SFP	225	17,58	38	2,93	16,67%
MODPTR 29, SFP	234	18,28	45	3,52	19,23%
MOVE A0, X0	223	17,42	22	1,68	9,64%
PUSH RA, X[SFP-1]	230	17,97	156	12,19	67,83%
STORE A0, E[0xf006]	322	25,16	133	10,39	41,30%
GOTO 0x0	327	25,55	118	9,18	35,93%

Function Report

Showing page 1 of 1

Created: 10/05/2016 15:56:43

uC

Function	Calls	Cycles tot (func)	Cycles tot (%func)	Cycles min (func)	Cycles avg (func)	Cycles max (func)	Cycles tot (func+desc)	Cycles tot (%func+desc)	Cycles min (func+desc)	Cycles avg (func+desc)	Cycles max (func+desc)
_execution_start	0	29	44.62%	29	29	29	29	44.62%	29	29	29
_ivt	0	0	0%	0	0	0	0	0%	0	0	0
_reset_start	0	0	0%	0	0	0	0	0%	0	0	0
init_local_core	1	32	49.23%	32	32	32	32	49.23%	32	32	32
main	0	4	6.15%	4	4	4	36	55.39%	36	36	36

gpDSP1

Function	Calls	Cycles tot (func)	Cycles tot (%func)	Cycles min (func)	Cycles avg (func)	Cycles max (func)	Cycles tot (func+desc)	Cycles tot (%func+desc)	Cycles min (func+desc)	Cycles avg (func+desc)	Cycles max (func+desc)
_main	0	13	0.87%	13	13	13	1498	100%	1498	1498	1498
_RunFIRFilter	1	1485	99.13%	1485	1485	1485	1485	99.13%	1485	1485	1485

Слика 29. Извештај функција, по језгрима (uC, gpDSP1).

Осим наведеног, у Табели 42. дат је однос ефективне капацитивности инструкција и мешуинструкционе капацитивности. Као што се може видети, вредност тог односа варира од 8.22% до 114.34%, и зависи искључиво од две суседне инструкције, јер је проточна структура циљне платформе дво-фазна. На оним местим где вредност наведеног односа прелази 100%, међуинструкциона потрошња енергије превазилази основну потрошњу инструкције.

На Слици 29. приказан је статистички извештај на нивоу функција, по језгрима која су била активна у току експеримента. Као што се може приметити, микроконтролер је провео 44.62% времена у “_execution_start” функцији, 49.23% времена у функцији “init_local_core” и 6.15% у функцији “main”. За то време укупно је потрошио 65 циклуса, и при томе поставио циљну платформу у жељено стање. Језгро gpDSP, највећи део времена је провело извршавајући FIR алгоритам имплементиран у функцији “_RunFIRFilter”, 99.13%. Занимљиво је приметити да је за један пролазак кроз главну петљу обраде FIR алгоритма, на gpDSP језгру, потребно потрошити 1485 циклуса.

Табела 43. Измерене и естимирани вредности снаге дисипације FIR филтра - gpDSP.

Freq	I _E [μA]	P _E [μW]	I _M [μA]	P _M [μW]	Тачност
10,24 MHz	1216,73	1520,916	1253	1566,25	97,11%
5,12 MHz	786,89	983,6126	809	1011,25	97,27%
2,56 MHz	571,80	714,7553	583	728,75	98,08%
1,28 MHz	464,26	580,3266	471	588,75	98,57%

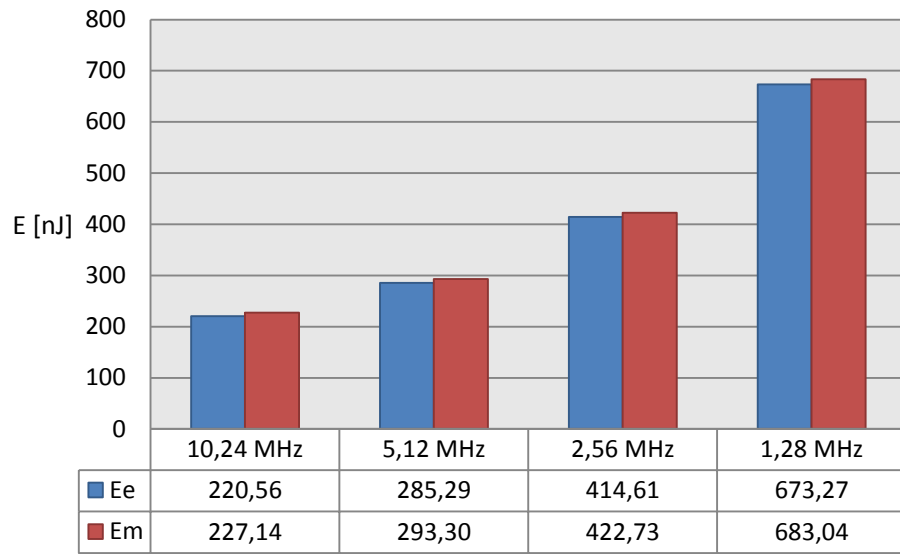
У Табели 43. дат је приказ добијених вредности средње снаге дисипације приликом симултаног извршавања FIR алгоритма на gpDSP језгру. Естимиране вредности средње снаге – P_E , се рачунају тако што се вредности из Табеле 42. уврсте у израз (90). Измерена средња снага, се рачуна множењем измерене струје – I_M и напона V_{DD} напајања, док се FIR филтар извршава у бесконачној петљи на gpDSP језгру. Експеримент је понављан на четири различите учестаности радног такта, како би се утврдила тачност естимације на основу ефективних капацитивности. Као што се може приметити, тачност је веома висока, са просечном грешком од 2.24%.

Како је сада позната средња снага дисипације у току извршавања FIR филтра на gpDSP језгру, периода радног такта, и број циклуса у току једног проласка кроз главну петљу обраде (Слика 29.), могуће је израчунати енергију која се расипа том приликом – E_M , тако што се средња снага помножи са укупном дужином трајања извршавања петље (9).

Табела 44. Измерене и естимиране вредности дисипације FIR филтра - gpDSP.

Freq	N	E_E [nJ]	E_M [nJ]	Тачност
10,24 MHz	1485	220,56	227,14	97,11%
5,12 MHz	1485	285,29	293,30	97,27%
2,56 MHz	1485	414,61	422,73	98,08%
1,28 MHz	1485	673,27	683,04	98,57%

Естимирана вредност енергије расипања FIR филтра, у току једног проласка кроз петљу, рачуна се на основу вредности из Табеле 42. и изведеног израза за рачунање укупне енергије дисипације (91). Може се приметити да је тачност естимације енергије такође веома висока, са грешком не већом од 2.89%. На Слици 30. приказан је тренд потрошње енергије приликом једног проласка кроз главну петљу FIR алгоритма. Приметно је значајно повећање потрошње енергије како се смањује учестаност радног такта. Када се периода радног такта повећа осам пута, укупна енергија дисипације се повећа три пута. То се објашњава константном вредности статичке снаге дисипације. Први члан израза (91) представља ту компоненту енергије расипања, и може се уочити да је он линеарно зависан од периоде радног такта. Међутим, како други део израза, који представља динамичку енергију расипања, није зависан од учестаности радног



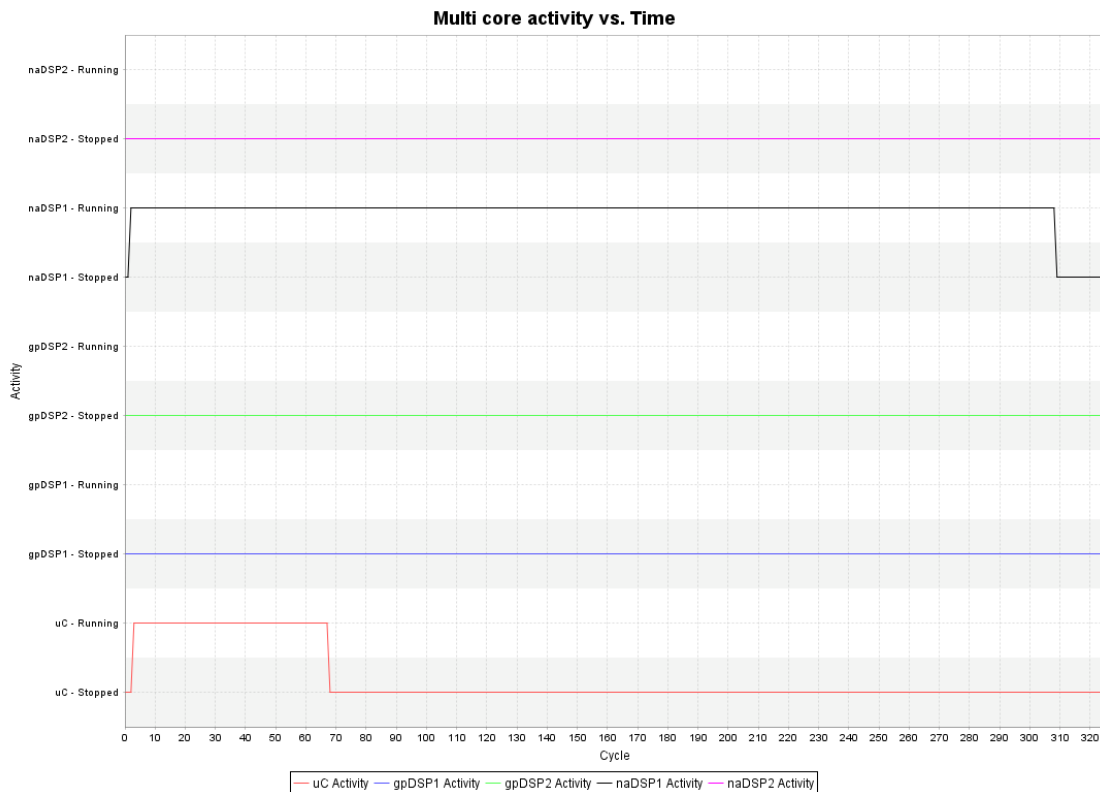
Слика 30. Тренд потрошње енергије након једног проласка кроз петљу FIR алгоритма - gpDSP.

такта, самим тим ни укупна потрошња не може бити линеарно зависна од фреквенције радног такта.

5.1.2 Имплементација за naDSP језгра

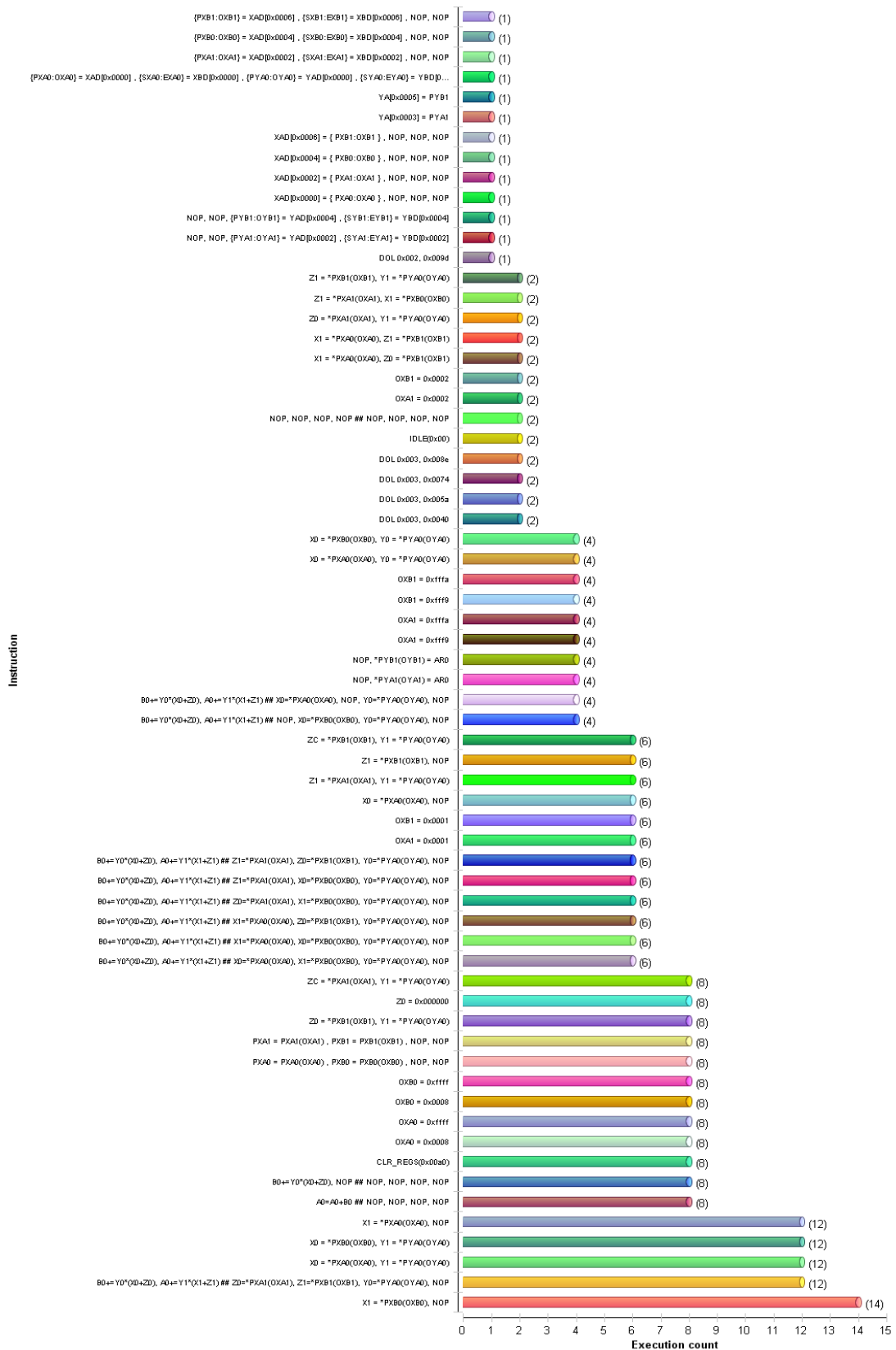
У циљу испитивања тачности изведених модела за рачунање средње снаге и укупне енергије која се расипа у току извршавања наменске апликације на naDSP језгру, циљне платформе, такође је имплементиран FIR филтар. Узимајући у обзир различиту архитектуру DSP процесора опште намене (gpDSP) и DSP процесора за нумеричку обраду (naDSP), може се закључити да је имплементација истог (FIR) алгоритма сасвим другачија, пре свега јер се користи различит скуп Инструкција (Слика 32.). Исти FIR алгоритам је изабран за валидацију изведених модела из истог разлога као и код претходног језгра, а то је да би се показала универзалност изведеног модела и примењивост на једну од најчешће имплементираних наменских апликација, FIR филтар. Осим тога, биће занимљиво упоредити две имплементације истог алгоритма на различитим језгрима, како би се установило колика се уштеда може остварити пројектовањем језгара специфичне намене, као што је naDSP.

На Слици 31. приказан је граф активности језгара у току једног проласка кроз главну петљу FIR филтра, имплементираног на naDSP језгру. Приметна је



Слика 31. Граф активности језгара у току извршавања FIR филтра - naDSP

активност микроконтролера, у првих шездесетшест циклуса. У току тог



Слика 32. Хистограм инструкција FIR филтра - paDSP.

периода, микроконтролер постави циљну платформу у жељено стање, у смислу конфигурисања свих релевантних параметара, као што су учестаност радног такта и регистари специјалне намене.

Да би се могла естимирати потрошња енергије која се расипа приликом извршавања апликације, неопходно је прво установити хистограм инструкција који дефинише то извршавање. Као и у претходној имплементацији, за ту прилику је коришћен алат Профајлер. На Слици 32. је приказан изгенерисани хистограм инструкција, који настаје приликом једног проласка кроз главну петљу FIR алгоритма, на naDSP језгру. На основу тог хистограма се утврђује скуп инструкција који је потребно испрофилисати и измерити ефективну капацитивност инструкција и међуинструкционог утицаја. Табела 44. приказује измерене и израчунате вредности наведених параметара.

Табела 45. Ефективне капацитивности инструкција и међуинструкционог утицаја - naDSP.

Инструкције	I_B [μA]	C_B [pF]	I_I [μA]	C_I [pF]	C_I/C_B
$X1 = *PXB0(OXB0), NOP$	312	24,38	416	32,50	133,33%
$B0+=Y0*(X0+Z0), A0+=Y1*(X1+Z1) \##$ $Z0=*PXA1(OXA1), Z1=*PXB1(OXB1),$ $Y0=*PYA0(OYA0), NOP$	537	41,95	849	66,34	158,13%
$X0 = *PXA0(OXA0), Y1 = *PYA0(OYA0)$	393	30,70	709	55,40	180,44%
$X0 = *PXB0(OXB0), Y1 = *PYA0(OYA0)$	391	30,55	788	61,55	201,49%
$X1 = *PXA0(OXA0), NOP$	314	24,53	915	71,50	291,46%
$A0=A0+B0 \## NOP, NOP, NOP, NOP$	235	18,36	312	24,41	132,96%
$B0+=Y0*(X0+Z0), NOP \## NOP, NOP,$ NOP, NOP	234	18,28	290	22,63	123,79%
$CLR_REGS(0x00a0)$	239	18,67	567	44,33	237,41%
$OXA0 = 0x0008$	231	18,05	330	25,78	142,85%
$OXA0 = 0xffff$	230	17,97	367	28,65	159,44%
$OXB0 = 0x0008$	230	17,97	306	23,89	132,95%
$OXB0 = 0xffff$	230	17,97	360	28,14	156,60%
$PXA0 = PXA0(OXA0), PXB0 =$ $PXB0(OXB0), NOP, NOP$	232	18,13	117	9,11	50,26%
$PXA1 = PXA1(OXA1), PXB1 =$ $PXB1(OXB1), NOP, NOP$	232	18,13	110	8,56	47,23%
$Z0 = *PXB1(OXB1), Y1 = *PYA0(OYA0)$	390	30,47	196	15,32	50,28%
$Z0 = 0x000000$	232	18,13	92	7,20	39,72%
$ZC = *PXA1(OXA1), Y1 = *PYA0(OYA0)$	463	36,17	888	69,38	191,81%
$B0+=Y0*(X0+Z0), A0+=Y1*(X1+Z1) \##$ $X0=*PXA0(OXA0), X1=*PXB0(OXB0),$ $Y0=*PYA0(OYA0), NOP$	534	41,72	836	65,31	156,55%

B0+=Y0*(X0+Z0), A0+=Y1*(X1+Z1) ## X1=*PXA0(OXA0), X0=*PXB0(OXB0), Y0=*PYA0(OYA0), NOP	534	41,72	869	67,89	162,73%
B0+=Y0*(X0+Z0), A0+=Y1*(X1+Z1) ## X1=*PXA0(OXA0), Z0=*PXB1(OXB1), Y0=*PYA0(OYA0), NOP	534	41,72	928	72,50	173,78%
B0+=Y0*(X0+Z0), A0+=Y1*(X1+Z1) ## Z0=*PXA1(OXA1), X1=*PXB0(OXB0), Y0=*PYA0(OYA0), NOP	534	41,72	808	63,10	151,25%
B0+=Y0*(X0+Z0), A0+=Y1*(X1+Z1) ## Z1=*PXA1(OXA1), X0=*PXB0(OXB0), Y0=*PYA0(OYA0), NOP	534	41,72	911	71,20	170,67%
B0+=Y0*(X0+Z0), A0+=Y1*(X1+Z1) ## Z1=*PXA1(OXA1), Z0=*PXB1(OXB1), Y0=*PYA0(OYA0), NOP	534	41,72	851	66,50	159,40%
OXA1 = 0x0001	234	18,28	58	4,52	24,72%
OXB1 = 0x0001	234	18,28	41	3,22	17,61%
X0 = *PXA0(OXA0), NOP	312	24,38	96	7,53	30,89%
Z1 = *PXA1(OXA1), Y1 = *PYA0(OYA0)	392	30,63	809	63,21	206,40%
Z1 = *PXB1(OXB1), NOP	312	24,38	110	8,56	35,12%
ZC = *PXB1(OXB1), Y1 = *PYA0(OYA0)	467	36,48	891	69,58	190,71%
B0+=Y0*(X0+Z0), A0+=Y1*(X1+Z1) ## NOP, X0=*PXB0(OXB0), Y0=*PYA0(OYA0), NOP	449	35,08	752	58,75	167,48%
B0+=Y0*(X0+Z0), A0+=Y1*(X1+Z1) ## X0=*PXA0(OXA0), NOP, Y0=*PYA0(OYA0), NOP	457	35,70	785	61,32	171,75%
NOP, *PYA1(OYA1) = AR0	323	25,23	92	7,21	28,57%
NOP, *PYB1(OYB1) = AR0	323	25,23	41	3,22	12,76%
OXA1 = 0xffff9	234	18,28	75	5,84	31,95%
OXA1 = 0xffffa	234	18,28	97	7,56	41,35%
OXB1 = 0xffff9	234	18,28	114	8,87	48,52%
OXB1 = 0xffffa	234	18,28	125	9,77	53,44%
X0 = *PXA0(OXA0), Y0 = *PYA0(OYA0)	391	30,55	200	15,63	51,17%
X0 = *PXB0(OXB0), Y0 = *PYA0(OYA0)	388	30,31	234	18,32	60,44%
DOL 0x003, 0x0040	234	18,28	68	5,30	28,99%
DOL 0x003, 0x005a	234	18,28	61	4,77	26,09%
DOL 0x003, 0x0074	234	18,28	81	6,36	34,79%
DOL 0x003, 0x008e	234	18,28	64	4,98	27,24%
NOP, NOP, NOP, NOP ## NOP, NOP, NOP, NOP	235	18,36	136	10,62	57,84%
OXA1 = 0x0002	234	18,28	147	11,45	62,63%
OXB1 = 0x0002	234	18,28	125	9,74	53,28%
X1 = *PXA0(OXA0), Z0 = *PXB1(OXB1)	397	31,02	280	21,84	70,42%
X1 = *PXA0(OXA0), Z1 = *PXB1(OXB1)	397	31,02	293	22,86	73,70%
Z0 = *PXA1(OXA1), Y1 = *PYA0(OYA0)	397	31,02	147	11,46	36,95%

Z1 = *PXA1(OXA1), X1 = *PXB0(OXB0)	397	31,02	203	15,88	51,20%
Z1 = *PXB1(OXB1), Y1 = *PYA0(OYA0)	397	31,02	275	21,50	69,32%
DOL 0x002, 0x009d	234	18,28	93	7,27	39,77%
NOP, NOP, {PYA1:OYA1} = YAD[0x0002], {SYA1:EYA1} = YBD[0x0002]	547	42,73	192	14,98	35,05%
NOP, NOP, {PYB1:OYB1} = YAD[0x0004], {SYB1:EYB1} = YBD[0x0004]	547	42,73	70	5,45	12,75%
XAD[0x0000] = { PXA0:OXA0 }, NOP, NOP, NOP	416	32,50	158	12,35	38,00%
XAD[0x0002] = { PXA1:OXA1 }, NOP, NOP, NOP	416	32,50	148	11,54	35,51%
XAD[0x0004] = { PXB0:OXB0 }, NOP, NOP, NOP	416	32,50	276	21,58	66,40%
XAD[0x0006] = { PXB1:OXB1 }, NOP, NOP, NOP	416	32,50	301	23,55	72,46%
YA[0x0003] = PYA1	326	25,47	144	11,22	44,05%
YA[0x0005] = PYB1	326	25,47	276	21,56	84,65%
{PXA0:OXA0} = XAD[0x0000], {SXA0:EXA0} = XBD[0x0000], {PYA0:OYA0} = YAD[0x0000], {SYA0:EYA0} = YBD[0x0000]	853	66,64	926	72,33	108,54%
{PXA1:OXA1} = XAD[0x0002], {SXA1:EXA1} = XBD[0x0002], NOP, NOP	544	42,50	198	15,45	36,35%
{PXB0:OXB0} = XAD[0x0004], {SXB0:EXB0} = XBD[0x0004], NOP, NOP	544	42,50	301	23,55	55,41%
{PXB1:OXB1} = XAD[0x0006], {SXB1:EXB1} = XBD[0x0006], NOP, NOP	544	42,50	472	36,88	86,78%

Из односа међуинструкционе ефективне капацитивности (МЕК) и ефектине капацитивности инструкција, приказане у Табели 44., може се приметити да је вредност међуинструкционог утицаја у појединим случајевима скоро три пута већа од ефективне капацитивности инструкција, па самим тим и од основне потрошње енергије инструкције. То се може објаснити архитектуром naDSP језгра, која обезбеђује поприлично велики паралелизам, који се остварује на инструкционом нивоу. Из тог разлога број елемената скупа симетричне разлике активних транзистора (51) може да буде значајан. Како вредност МЕК представља суму капацитивности наведеног скупа (52), може се закључити да број елемената тог скупа непосредно утиче на вредност МЕК.

Function Report

Showing page 1 of 1

Created: 10/05/2016 16:28:23

uC

Function	Calls	Cycles tot (func)	Cycles tot (%func)	Cycles min (func)	Cycles avg (func)	Cycles max (func)	Cycles tot (func+desc)	Cycles tot (%func+desc)	Cycles min (func+desc)	Cycles avg (func+desc)	Cycles max (func+desc)
execution_start	0	30	45.46%	30	30	30	30	45.46%	30	30	30
_ivt	0	0	0%	0	0	0	0	0%	0	0	0
_reset_start	0	0	0%	0	0	0	0	0%	0	0	0
init_local_core	1	32	48.49%	32	32	32	32	48.49%	32	32	32
main	0	4	6.06%	4	4	4	36	54.55%	36	36	36

naDSP1

Function	Calls	Cycles tot (func)	Cycles tot (%func)	Cycles min (func)	Cycles avg (func)	Cycles max (func)	Cycles tot (func+desc)	Cycles tot (%func+desc)	Cycles min (func+desc)	Cycles avg (func+desc)	Cycles max (func+desc)
_RunFIRFilter	0	309	100%	309	309	309	309	100%	309	309	309
_ivt	0	0	0%	0	0	0	0	0%	0	0	0

Слика 33. Извештај функција, по језгрима (uC, naDSP1).

На Слици 33. приказан је статистички извештај извршавања функција, по активним језгрима, у току извршавања FIR филтра, приликом једног проласка кроз главну петљу обраде. Као што се може приметити, језгро naDSP је све време извршавало функцију “_RunFIRFilter”. Да би се једном извршила функција “_RunFIRFilter” потребно је 309 циклуса.

Табела 46. Измерене и естимирани вредности снаге дисипације FIR филтра - naDSP.

Freq	I _E [μA]	P _E [μW]	I _M [μA]	P _M [μW]	Тачност
10,24 MHz	1532,28	1915,352	1573	1966,25	97,41%
5,12 MHz	944,50	1180,625	964	1205	97,98%
2,56 MHz	650,61	813,2613	659	823,75	98,73%
1,28 MHz	503,66	629,5796	506	632,5	99,54%

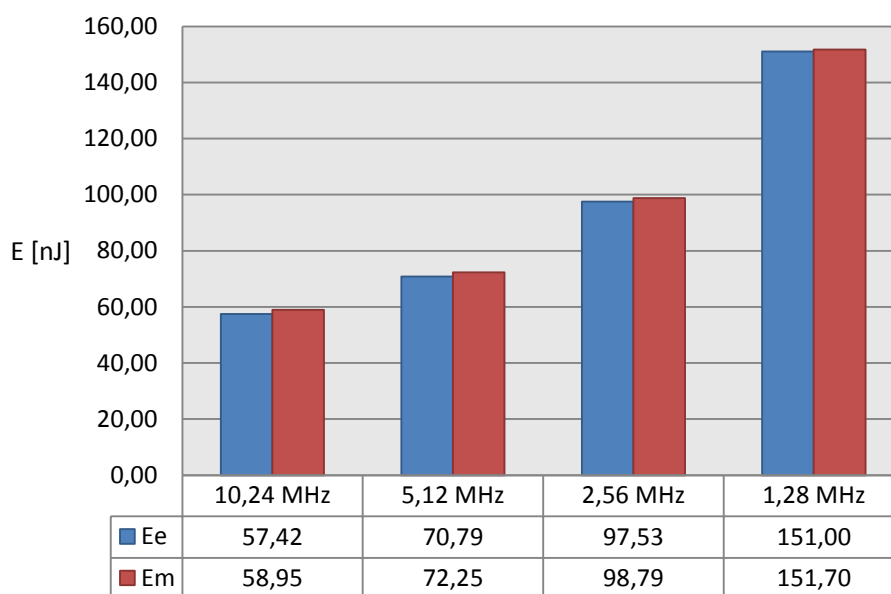
У Табели 44. приказане су вредности естимирани и измерене снаге дисипације у току симултаног извршавања FIR филтра на naDSP језгру. Као и у претходном експерименту, измерена снага – P_M се рачуна множењем напона и струје – I_M напајања, док се естимирана средња снага дисипације рачуна уврштавањем познатих вредности, напона напајања – V_{DD}, периоде радног такта – T, статичке струје – I_{stat} (16) и броја извршених циклуса (n=309), као и израчунатих вредности ефективних капацитивности (Табела 45.), у израз (90). Може се приметити да је тачност естимације прилично висока, са просечном грешком од 98,41%

Табела 47. Измерене и естимирани вредности дисипације FIR филтра - naDSP.

Freq	N	E_E [nJ]	E_M [nJ]	Тачност
10,24 MHz	307	57,42	58,95	97,41%
5,12 MHz	307	70,79	72,25	97,98%
2,56 MHz	307	97,53	98,79	98,73%
1,28 MHz	307	151,00	151,70	99,54%

Вредности измерене укупне енергије – E_M , приказане у Табели 47., која се дисипира приликом једног проласка кроз главну петљу FIR филтра, при различитим учестаностима радног такта, рачунају се тако што се вредности измерене снаге – P_M , приказане у Табели 46., помноже периодом радног такта и бројем извршених циклуса – N . Естимирана енергија дисипације – E_E , рачуна се уврштавањем познатих и израчунатих (Табела 45.) вредности у изведени израз за укупну енергију расипања (91). Може се приметити да је естимација укупне енергије расипања висока, са грешком не већом од 2.59%.

На Слици 34. приказан је тренд потрошње енергије приликом једног проласка кроз главну петљу обраде FIR филтра, при различитим учестаностима. Као и у претходном експерименту, уочљив је пораст потрошње енергије када се повећа периода радног такта, то јест када се смањи учестаност извршавања инструкција. Како је и раније наведено, разлог за то се проналази у константној вредности снаге статичког расипања. То најјасније илуструје Слика 9.

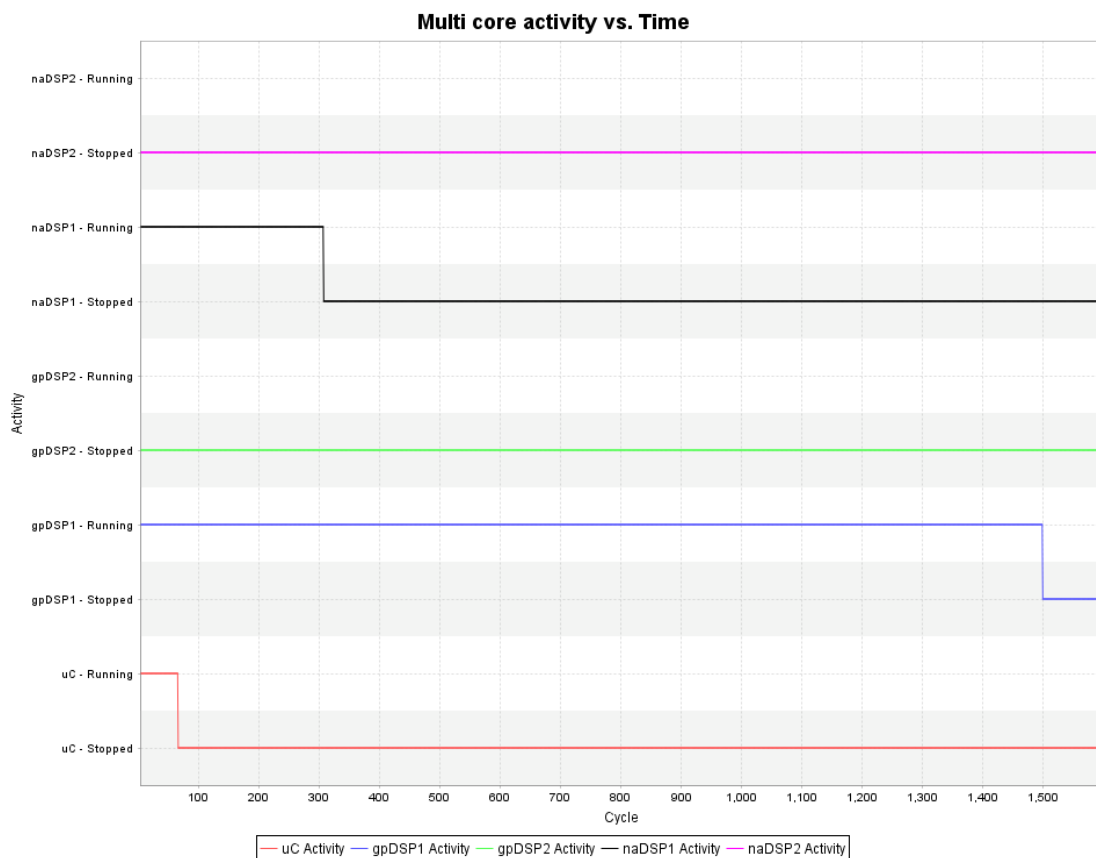


Слика 34. Тренд потрошње енергије након једног проласка кроз петљу FIR алгоритма - naDSP.

5.2 Дискусија

На основу извршених детаљних анализа снаге и енергије дисипације, у току извршавања FIR филтар имплементација за обе архитектуре DSP језгара, циљне платформе, могуће је извршити међусобно поређење, како би се утврдили повољни и неповољни аспекти различитих DSP језгара. Као што је раније напоменуто, naDSP језгро је пројектовано како би убрзало нумеричку обраду наменских апликација, сродних FIR филтар апликацији, па је било очекивано да се добију бољи резултати за naDSP FIR филтар имплементацију, него за имплементацију истог алгоритма за DSP процесор опште намене (gpDSP). Резултати експеримената извођених у претходна два поглавља су потврдили ту претпоставку.

На Слици 35. дат је приказ графа активности језгара, када се симултано на naDSP и gpDSP језгрима извршавају FIR филтар апликације. Уочљиво је то да имплементација FIR филтра за gpDSP језгро троши скоро пет пута више циклуса, међутим, то не значи да троши и пет пута више енергије. Анализа која следи



Слика 35. Граф активности језгара у току извршавања FIR филтра – naDSP, gpDSP.

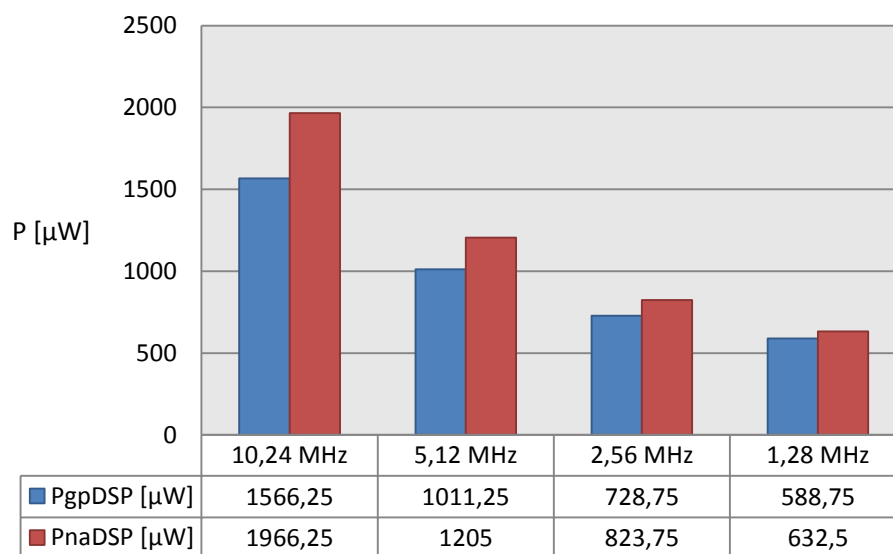
даће детаљан увид у снагу и енергију дисипације две различите имплементације.

Са хистограма приказаних на Слици 28. и Слици 32. може се уочити да је дистрибуција циклуса по инструкцијама код naDSP језгра далеко равномернија. Разлог томе се може пронаћи у чињеници да је naDSP језгро пројектовано према захтевима наменских апликација, каква је и FIR филтар апликација, па се због тога остварује далеко већи паралелизам на нивоу инструкција, што за последицу има равномернију дистрибуцију циклуса по инструкцијама и далеко мањи број потребних циклуса за нумеричку обраду.

Табела 48. Снага дисипације gpDSP и naDSP језгара приликом FIR филтар обраде.

Freq	$P_{gpDSP} [\mu W]$	$P_{naDSP} [\mu W]$	naDSP/gpDSP
10,24 MHz	1566,25	1966,25	1,26
5,12 MHz	1011,25	1205	1,19
2,56 MHz	728,75	823,75	1,13
1,28 MHz	588,75	632,5	1,07

У Табели 48. дат је приказ средње снаге дисипације приликом симултаног извршавања FIR филтар апликације на gpDSP и naDSP језгрима, при различитим учестаностима радног такта. Може се уочити приближавање вредности средњих снага извршавања, како се смањује фреквенција радног такта (Слика 36.). То се настаје као непосредна последица чињенице, да статичка снага дисипације постаје доминантна како расте периода радног такта (Слика 9.).

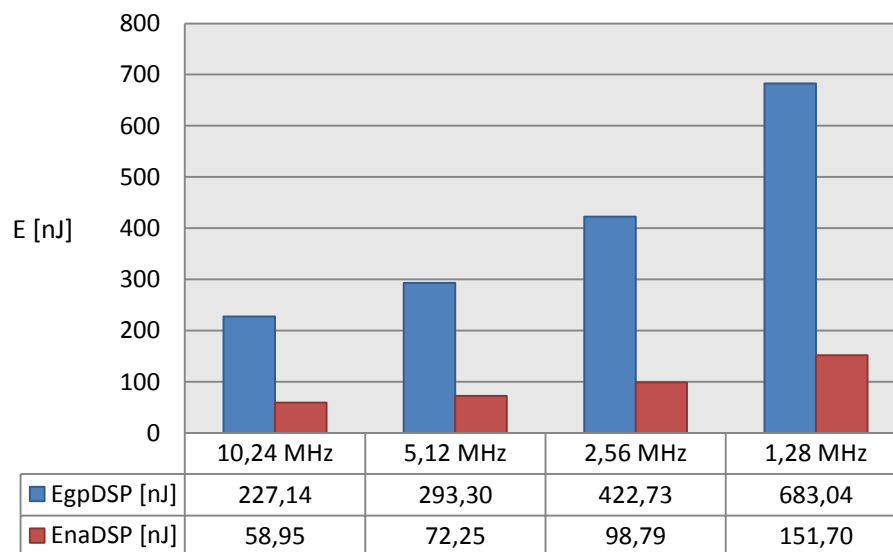


Слика 36. Тренд снага дисипације при gpDSP и naDSP FIR филтар обради.

Табела 49. Енергија која се дисипира приликом једног проласка кроз главну петљу обраде FIR филтра, на gpDSP и naDSP језгарима.

Freq	E_{gpDSP} [nJ]	E_{naDSP} [nJ]	gpDSP/naDSP
10,24 MHz	227,14	58,95	3,85
5,12 MHz	293,30	72,25	4,06
2,56 MHz	422,73	98,79	4,28
1,28 MHz	683,04	151,70	4,50

Табела 49. приказује енергију која се дисипира приликом једног извршавања главне петље обраде FIR филтар апликације, при различитим учестаностима радног такта, на gpDSP и naDSP језгрима. Као што се са Сlike 37. види, потрошња енергије на DSP језгру опште намене је значајно већа од оне која се дисипира на језгру намењеном нумеричкој обради. Иако је број циклуса ($N=1485$) који троши имплементација FIR филтра за језгро опште намене скоро пет пута већа од броја циклуса ($N=307$) који троши имплементација истог алгоритма за DSP језгро намењено нумеричкој обради, дисипација енергије није у истом односу. Наиме, из Табеле 49. се види да вредност односа дисипиране енергије на једном и другом DSP језгру расте како се смањује учестаност радног такта. Тако је на пример, на основној фреквенцији радног такта приметно да је потрошња енергије на језгру опште намене (gpDSP) 3.85 пута већа од потрошње енергије на језгру намењеном нумеричкој обради (naDSP). Уколико основну



Слика 37. Енергија која се дисипира приликом једног проласка кроз главну петљу обраде FIR филтра, на gpDSP и naDSP језгарима

фреквенцију смањимо осам пута, потрошња енергије на gpDSP језгру ће порастати три пута, тако да ће бити 4.5 пута већа потрошња у односу на naDSP језгро. Разлог повећања међусобне разлике у потрошњи проналази се у чињеници да FIR филтар имплементација за gpDSP језгро троши скоро пет пута више циклуса, тако да се повећањем периоде радног такта повећава дисипација статичке енергије. Она имплементација која троши више циклуса самим тим троши и више статичке енергије. У случају да су обе имплементације имале исти број циклуса, варирање фреквенције не би утицало на међусобни однос дисипиране енергије.

ПОГЛАВЉЕ 6.

ЗАКЉУЧАК И БУДУЋИ РАД

На основу свега претходно написаног, могу се извести општи закључци у вези суштинског доприноса које предложено решење остварује, као и правци будућег истраживања. Једно од основних питања на које је ово истраживање требало да да одговор, било је: да ли је могуће реализовати софтверски алат који би могао прецизно да естимира потрошњу енергије вишејезгарне наменске апликације? Предложено решење, у овом истраживању, даје кратак одговор на дато питање: могуће је.

Пут од питања до одговора био је испуњен изазовима. Први корак у овом истраживању био је преглед постојећих решења из дате области. Како ни једно од прегледаних решења, описаних у поглављу „Стање у области“, није пружило адекватан модел, који би се могао применити на циљну платформу, описану у поглављу „Опис циљне физичке архитектуре“, приступило се реализацији решења које би представљало универзалан модел применљив на читаву класу вишејезгарних наменских платформи. Да би се реализовао тако сложен модел, било је неопходно прво декомпоновати потрошњу енергије на основне елементе и предложити методологије мерења. Декомпозиција потрошње енергије се обавља практично од највишег нивоа апстракције, који представља једну инструкцију, па све до транзистора који учествују у њеном извршавању. На основу литературе (Baker 2011) (Oshana, Power Optimization Techniques Using

DSP 2016) (TI 2016) и емпиријских мерења установљено је да се потрошња енергије CMOS интегрисаног кола може поделити у две категорије: статичку и динамичку потрошњу енергије.

Установљено је да статичку компоненту чине струје цурења транзистора у неактивном стању (Panić, Static Power Loss 2014) (Baker 2011) (Mirković / Milovanović 2011), то значи сви транзистори који су под напоном дају допринос овој компоненти потрошње. Да би се измерила ова компонента потрошње енергије CMOS интегрисаног кола, осмишљен је јединствен метод мерења. Наиме, постоје опречни захтеви да би се извршило наведено мерење. Као што је речено, струја цурења се може непосредно измерити уколико се у потпуности укине дистрибуција радног такта на циљној платформи. Међутим, како микроконтролер обезбеђује синхронизацију и исправан рад целе платформе, не постоји могућност потпуног укидања радног такта микроконтролеру. Како статичка потрошња енергије не зависи од фреквенције радног такта, дошло се до јединственог решења, које може бити примењено за мерење статичке потрошње на било ком CMOS интегрисаном колу где не постоји могућност потпуног укидања дистрибуције радног такта, али постоји могућност мењања фреквенције радног такта. Решење је пронађено у варирању учестаности радног такта и детектовању непроменљивог дела. На основу изведеног израза (15) и измерених вредности, рачуна се укупна струја статичког цурења платформе, која када се помножи са напоном напајања даје снагу статичког расипања.

Динамичку компоненту потрошње енергије чине активни транзистори, односно они транзистори који добијају радни такт. Израз (28) најбоље описује динамичку снагу расипања наменске платформе. Може се приметити да динамичка снага дисипације зависи од три параметра: напона напајања, учестаности радног такта и ефективне капацитивности у датом моменту. Како су напон напајања и учестаност радног такта параметри које је могуће програмски мењати, дошло се до закључка да би било сврсисходно усвојити ефективну капацитивност као квантитативну меру динамичке енергије и снаге. Показано је експериментално да је то био исправан пут, јер се помоћу једном одређене ефективне капацитивности, на основној фреквенцији радног такта, могла прецизно предвиђати динамичка потрошња енергије на другим фреквенцијама.

Дакле, усвојено је да је за све препознате динамичке компоненте дисипације енергије потребно одредити ефективне капацитивности, а то су: ефективна капацитивност неактивног језгра, ефективна капацитивност периферије, ефективна капацитивност инструкције и међуинструкциона ефективна капацитивност.

Ефективна капацитивност неактивног језгра – C_{IDLE} , се мери тако што се језгро постави у неактивно стање, извршавањем IDLE инструкције, а затим се мери струја напајања, која кад се уврсти у израз (35) поред познатих вредности напона напајања и фреквенције радног такта, даје жељену вредност. У циљу испитивања естимације потрошње неактивног језгра на различитим учестаностима, помоћу ефективне капацитивности, приступило се експерименту, чији резултати су приказани у Табели 11. Као што се може приметити тачност предвиђања је веома висока, прелази 99%.

Ефективна капацитивност периферије – C_P , се рачуна на основу израза (40) и измерене струје I_P , која представља разлику две измерене струје, када периферија није добијала радни такт и након што је добила радни такт. Да би се испитала валидност добијених вредности, приступило се експерименту. Такт је дистрибуиран одређеној групи периферија, а затим је мењана учестаност радног такта, након чега се приступало мерењима и поређењем са естимираним вредностима. У Табели 20. дат је приказ резултата једног таквог сценарија, и може се приметити веома висока тачност предвиђања потрошње енергије, са грешком не већом од 1.18%.

Динамичка потрошња енергије узрокована извршавањем инструкција може се представити помоћу две релативно независне компоненте: основна потрошња и међуинструкциони утицај. Као и остале компоненте динамичке потрошње енергије, и ове две се моделују преко ефективних капацитивности.

Ефективна капацитивност инструкције – C_B , се мери тако што се на циљну платформу спусти слика која садржи хиљаду инстанци те инструкције, и покрене се извршавање, а затим се мери струја напајања. На основу израза (47) и измерене струје, рачуна се ефективна капацитивност инструкције. Да би се утврдила тачност предвиђања потрошње на другој фреквенцији радног такта, приступило се експерименту. Изабран је скуп од десет инструкција, које су

спуштане у програмску меморију, а затим је учестаност радног такта преполовљена, након чега је извршавано мерење. Измерене вредности су поређене са естимираним, и као што се из Табеле 30. може видети, тачност предвиђања потрошње на основу ефективне капацитивности инструкција је веома висока, и за свих десет инструкција износи преко 99%.

Међуинструкциони утицај настаје као последица промене стања кола. Како је проточна структура циљне платформе дво-фазна, тај утицај се може објаснити преко скупа симетричне разлике скупова активних транзистора две суседне инструкције, то јест суме еквивалентних капацитивности транзистора наведеног скупа. Управо та сума представља међуинструкциону ефективну капацитивност – C_1 (МЕК). Мерења су извођена тако што се две инструкције упаре, а затим се мери струја приликом њиховог извршавања. Када се вредност измерене струје уврсти у израз (55), добија се МЕК. Утврђено је да се најпрецизнији модел естимације остварује уколико се мерење спроведе над целим инструкционим скупом, тако што се измери МЕК за сваке две инструкције које чине инструкциони скуп. Међутим, услед архитектонских ограничења циљне платформе није увек могуће упарити две инструкције и извршити наведено мерење, услед хазарда, тако да је осмишљена је метода посредног одређивања МЕК, описана у поглављу „Посредно одређивање међуинструкционе ефективне капацитивности“. У циљу одређивања тачности предвиђања потрошње користећи израчунате вредности МЕК, приступило се експерименту. Десет различитих инструкција је укрштено и пуштено да се извршава, а затим се приступило мерењу и поређењу измерене и естимираних вредности. Табела 40. приказује добијене резултате, и може се приметити да је тачност естимације, када се користила МЕК две суседне инструкције, износила 99.75%.

У циљу обједињавања свих наведених компоненти потрошње енергије приликом извршавања вишејезгарне наменске апликације, изведени су јединствени математички модели за средњу снагу (75) и укупну енергију (89) која се том приликом дисипира. Важно је приметити да су поменути модели у функцији три параметра: напона напајања, фреквенције радног такта и ефективних капацитивности. Поред наведених параметара, у изразима још конфигуришу број извршених циклуса и статичка струја цурења. То је значајно

поготову код наменских платформи са веома ниском потрошњом, где постоји могућност програмског управљања напоном напајања и фреквенцијом радног такта, зарад додатне уштеде енергије.

Како би се извршила валидација и процена изведеног математичког модела, приступило се експериментима. Изабран је типичан представник наменских апликација, често имплементиран на разним платформама, FIR филтар. Развијена је имплементација FIR филтар алгоритма за две различите архитектуре DSP језгара, циљне платформе, како би се извршила процена тачности предвиђања потрошње на основу примењених методологија, описаних у овом истраживању, и развијених математичких модела. Утврђено је да је тачност предвиђања потрошње енергије код FIR филтар имплементације за DSP језгро опште намене (gpDSP) варирала у зависности од учестаности радног такта, од 97.11% на основној фреквенцији, до 98.57% на осам пута мањој фреквенцији радног такта (Табела 43.). У експерименту са FIR филтар имплементацијом за DSP језгро намењено нумеричкој обради, показало се да се тачност естимације потрошње енергије кретала од 97.41 %, на основној учестаности, до 99.54%, на осам пута мањој фреквенцији радног такта (Табела 47.). Такође, извршено је и међусобно поређење FIR филтар имплементација истог алгоритма, за различита DSP језгра, како би се установило колика се уштеда може остварити пројектовањем језгара специфичне намене, као што је naDSP језгро. У Табели 49. дат је приказ потрошње енергије приликом једног проласка кроз главну петљу обраде FIR филтра, на gpDSP и naDSP језгрима, при различитим учестаностима радног такта. Може се приметити да је на основној фреквенцији радног такта енергија која се дисипира на DSP језгру опште намене 3.85 пута већа од оне која се расипа на језгру за нумеричку обраду, приликом извршавања FIR филтар апликације. Уколико се основна фреквенција радног такта смањи осам пута та разлика постаје још већа и онда износи 4.5 пута. Из свега наведеног може се закључити да је оправдано пројектовати језгра која треба да извршавају специфичне задатке, као што је језгро за нумеричку обраду (naDSP), јер се могу остварити значајне уштеде енергије.

Корист која би произишла из реализације софтверског алата за прецизну естимацију потрошње енергије, вишејезгарних наменских апликација, је многострука, поготову у домену наменских платформи са веома ниском потрошњом енергије, где је свака уштеда енергије значајна.

Уколико на пример, узмемо у обзир да наменске платформе са веома ниском потрошњом енергије углавном поседују велики број регистара специјалне намене, који служе као спрега за варирање напона напајања и учестаности радног такта, зарад уштеде енергије, може се разумети потреба за повратном информацијом, у смислу, колика се уштеда остварује одређеном комбинацијом регистара, а да се не мора при том сваки пут прикључити осцилоскоп и извести мерење. Осим тога, уколико је кориснику доступна прецизна информација о потрошњи енергије, на нивоу инструкција (ефективне капацитивности), тада је могуће реорганизацијом изворног кода у области критичних тачака покушати остварити уштеду енергије. Оно што би ишло на руку таквим анализима је свакако то што изведени математички модели, (90) и (91), представљају функције три наведена параметра: напона напајања, фреквенције радног такта и ефективних капацитивности.

Такође, енергетским профилисањем инструкција и међуинструкцијског утицаја, и упоређивањем са хистограмом инструкција наменске апликације од највећег значаја, могле би се уочити инструкције које најчешће конфигуришу у току извршавања апликације, па би се рецимо приликом пројектовања нове генерације језгра, та информација могла узети у обзир, као једна од одредница шта је потребно оптимизовати.

Осим наведеног, потребно је нагласити да би се измерене емпиријске вредности могле користити и за оптимизације на нивоу компајлера. Добијене вредности ефективних капацитивности инструкција, и међуинструкционих ефективних капацитивности, могле би се користити приликом процеса одабира и распоређивања инструкција, респективно. Нешто слично је предложено у радовима (Lee, и други 1995) (Kandemir, Vijaykrishnan / Irwin 2002). Поред компајлера, измерене вредности могле би послужити и приликом оптимизација на нивоу оперативног система, за динамичко скалирање фреквенције (Vogeleer, и други 2013) и напона напајања (Mittal 2014).

Први корак у следећој фази развоја овог истраживања требао би да буде процес аутоматизације мерења и чувања резултата мерења, како би се смањила могућност људске грешке, приликом обављања репетитивних замарајућих задатака, и смањило укупно време реализације, потребно за извођење непоходних експеримената. Одабрали би се одређени скупови карактеристичних инструкција, а затим би се написале скрипте које на основу операционих кодова изабраних инструкција генеришу тестне слике за мерење ефективних капацитивности инструкција и међуинструкцијског утицаја. Следећи корак би требало да буде сукцесивно спуштање тестних слика, покретање извршавања, а затим чување резултата који се читавају на осцилоскопу. Сачувани резултати мерења представљали би базу података која би се користила у складу са изведеним математичким моделима, (90) и (91), као основа приликом генерисања извештаја средње снаге и укупне енергије која се дисипира у току извршавања вишејезгарне наменске апликације.

ЛИТЕРАТУРА

- 10stripe. *What does process size mean*. 2008. <http://www.10stripe.com/articles/what-does-process-size-mean.php> (последњи приступ 2016).
- Baker, R. Jacob. *CMOS Circuit Design, Layout, and Simulation*. IEEE PRESS, 2011.
- Basmadjian, R., / H. de Meer. „Evaluating and modeling power consumption of multi-core processors.“ *Future Energy Systems: Where Energy, Computing and Communication Meet (e-Energy)*, 2012 Third International Conference on. Madrid, 2012.
- Bazzaz, Mostafa, Mohammad Salehi, / Alireza Ejlali. „An Accurate Instruction-Level Energy Estimation Model and Tool for Embedded Systems.“ *IEEE TRANSACTIONS ON INSTRUMENTATION AND MEASUREMENT* 62, бр. 7 (2013): 1927-1934.
- Bona, A., M. Sami, D. Sciuto, C. Silvano, V. Zaccaria, / R. Zafalon. „An instruction-level methodology for power estimation and optimization of embedded VLIW cores.“ *Design, Automation and Test in Europe Conference and Exhibition, 2002. Proceedings*. Paris, 2002.
- Callou, Gustavo, и други. „Energy consumption and execution time estimation of embedded system applications.“ *Microprocessors Microsyst.* 35, бр. 4 (2011): 426–440.
- Cheng-Yen Lin, Hsin-Chu, Taiwan, Po-Yu Chen, Chun-Kai Tseng, Chung-Wen Huang. „Power aware SID-based simulator for embedded multicore DSP subsystems.“ *Hardware/Software Codesign and System Synthesis (CODES+ISSS)*, 2010 IEEE/ACM/IFIP International Conference on. Scottsdale, AZ, 2010. 95 - 103.
- Graybill, Robert, / Rami Melhem. *Power Aware Computing*. New York: Springer US, 2002.
- GT. „Instruction Level Parallelism.“ *Georgia Institute of Technology*. 2016. http://www.cc.gatech.edu/~milos/Teaching/CS6290F07/3_ILP.pdf (последњи приступ 2016).
- Hu, Jingcao, Youngsoo Shin, N. Dhanwada, / R. Marculescu. „Architecting voltage islands in core-based system-on-a-chip designs.“ *Low Power Electronics and*

- Design, 2004. ISLPED '04. Proceedings of the 2004 International Symposium on. IEEE, 2004. 180 - 185.*
- „Instruction Set Architecture.“ *University of Pennsylvania.* 2016.
http://www.ece.utep.edu/courses/web3376/Notes_files/ee3376-isa.pdf
 (последњи приступ 2016).
- Ivan Povazan, Momcilo Krunic, Miroslav Popovic. „A Profiling Tool for Heterogeneous Multi-core Systems.“ *ECBS-EERC 2015.* Brno, Czech Republic, 2015.
- Joshi, P.V., N.P. Kumari, / K.S. Gurumurthy. „Instruction Level Power Analysis for Low Power VLSI Applications.“ *Emerging Trends in Engineering and Technology (ICETET), 2013 6th International Conference on.* Nagpur, 2013.
- Kandemir, Mahmut, N. Vijaykrishnan, / Mary Jane Irwin. „Compiler optimizations for low power systems.“ *Y Power aware computing*, 191-210. New York: Springer US, 2002.
- Kavvadias, N., P. Neofotistos, S. Nikolaidis, K. Kosmatopoulos, / T. Laopoulos. „Measurements analysis of the software-related power consumption of microprocessors.“ *IEEE Transactions on Instrumentation and Measurement, Vol.53, N. 4, 2004* 53, бр. 4 (2004): 1106–1112.
- Kim, Minyong, / Sung Woo Chung. „Accurate GPU power estimation for mobile device power profiling.“ *Consumer Electronics (ICCE), 2013 IEEE International Conference on.* Las Vegas, NV, 2013.
- Kim, Minyong, Joonho Kong, / Sung Woo Chung. „An Online Power Estimation Technique for Multi-Core Smartphones with Advanced Display Components.“ *2012 IEEE International Conference on Consumer Electronics (ICCE).* Las Vegas, NV, 2012.
- Klass, B., D. E. Thomas, H. Schmit, / D. F. Nagle. „Modeling interinstruction energy effects in a digital signal processor.“ *Proc. Digital Signal Processor, Power-Driven Microarch. Workshop in Conjunction with Int. Symp. Comput. Arch.* Barcelona, Spain, Jun. 1998.
- Konstantakos, V., A. Chatzigeorgiou, S. Nikolaidis, / T. Laopoulos. „Energy consumption estimation in embedded systems.“ *IEEE Trans. Instrum. Meas.* 57, бр. 4 (2008): 797–804.

- Konstantakos, V., Chatzigeorgiou A., Nikolaidis S., / Laopoulos T. „Energy consumption estimation in embedded systems.“ *IMTC 2006 – Instrumentation and Measurement Technology Conference*. Sorrento, Italy, 2006. 797–804.
- Kovacevic, Vladimir, / Branislav Atlagic. *Logicko projektovanje racunarskih sistema II*. Novi Sad: FTN Izdavastvo, 2007.
- . *Logicko projektovanje racunarskih sistema II*. Novi Sad: FTN Izdavastvo, 2007.
- Kovacevic, Vladimir, Miroslav Popovic, Miodrag Temerinac, / Nikola Teslic. *Arhitekture i algoritmi digitalnih signal procesora I*. Novi Sad: FTN Izdavastvo, 2005.
- Lee, Chien-Min, Chi-Kang Chen, / Ren-Song Tsay. „A basic-block power annotation approach for fast and accurate embedded software power estimation.“ *Very Large Scale Integration (VLSI-SoC), 2013 IFIP/IEEE 21st International Conference on*. Istanbul, 2013.
- Lee, M.T.-C., V. Tiwari, S. Malik, / M. Fujita. „Power analysis and low-power scheduling techniques for embedded DSP software.“ *System Synthesis, 1995., Proceedings of the Eighth International Symposium on*. Cannes, 1995.
- LSU. *School of Electrical Engineering and Computer Science Louisiana State University*. 27 May 2016. <http://www.ece.lsu.edu/ee4720/2012/lsl02.pdf> (последњи приступ May 27, 2016).
- Minyong Kim, Sung Woo Chung. „Accurate GPU Power Estimation for Mobile Device Power Profiling.“ *Consumer Electronics (ICCE), 2013 IEEE International Conference on*. Las Vegas, NV, 2013.
- Mirković, D., / D. Milovanović. *Istraživanje metoda projektovanja analognih i integrisanih kola sa mešovitim signalima u uslovima velikih struja curenja i temperaturskog drifta nanometarskih tehnologija*. 2011.
- Mittal, Sparsh. „A Survey of Techniques For Improving Energy.“ *ACM Computing Surveys (CSUR)*, 2014.
- N., Kavvadias, Neofotistos P., Nikolaidis S., Kosmatopoulos K., / Laopoulos T. „Measurements analysis of the software-related power consumption of microprocessors.“ *IEEE Transactions on Instrumentation and Measurement, Vol.53, N. 4, 2004* 53, 6p. 4 (2004): 1106–1112.

- Nikolaidis, S., / T. Laopoulos. „Instruction-level power consumption estimation embedded processors low-power applications.“ *Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications, International Workshop on, 2001*. Crimea, 2001.
- Nikolaidis, S., N. Kavvadias, / P. Neofotistos. „Base instruction cost measurements.“ *Y Instruction level power measurements and analysis*, 14-15. Thessaloniki: Energy-Aware SYstem-on-chip design of the HIPERLAN/2 standard, 2002.
- Nikolaidis, S., N. Kavvadias, / P. Neofotistos. „Inter-instruction effect cost measurements.“ *Y Instruction level power measurements and analysis*, 15-16. Thessaloniki: Energy-Aware SYstem-on-chip design of the HIPERLAN/2 standard, 2002.
- Oshana, Robert. „Event-Driven Loops Applications.“ *Y DSP Software Development Techniques for Embedded and Real-Time Systems*, аутор Robert Oshana, 155. Oxford: Embedded Technology, 2006.
- Oshana, Robert. „Power Optimization Techniques Using DSP.“ *Y DSP Software Development Techniques for Embedded and Real-Time Systems*, аутор Robert Oshana, 234-242. 2016.
- Ozturk, Ozcan, Mahmut Kandemir, / Guangyu Chen. „Compiler-Directed Energy Reduction Using Dynamic Voltage Scaling and Voltage Islands for Embedded Systems.“ *IEEE Transactions on Computers (Volume:62 , Issue: 2)*, 2011: 268 - 278.
- Pagan, Santiago, Jian-Jia Chen, / Minming Li. „Energy Efficiency on Multi-Core Architectures with Multiple Voltage Islands.“ *IEEE Transactions on Parallel and Distributed Systems (Volume:26 , Issue: 6)*, 2014: 1608 - 1621.
- Panić, Goran. „Power Consumption.“ *Y A Methodology for Designing Low Power Sensor Node Hardware Systems*, аутор Goran Panić, 11-12. Senftenberg: Cottbus-Senftenberg, 2014.
- Panić, Goran. „Static Power Loss.“ *Y A Methodology for Designing Low Power Sensor Node Hardware Systems*, аутор Goran Panic, 15-16. Senftenberg: Cottbus-Senftenberg, 2014.
- Popović, Dr Miodrag. „Disipacija CMOS kola.“ *Y Osnovi elektronike*, аутор Dr Miodrag Popović, 112-113. Beograd: Elektrotehnički fakultet Beograd, 2006.

- RIT. *Computer Engineering, Rochester Institute of Technology* . 27 May 2016.
<http://meseec.ce.rit.edu/eccc550-winter2011/550-12-6-2011.pdf> (последњи
 приступ May 27, 2016).
- Roy, Kaushik, / Mark C. Johnson. „Software Design for Low Power.“ У *Low Power
 Design in Deep Submicron Electronics*, 433-459. New York: Springer US,
 1997.
- Sami, M., D. Sciuto, C. Silvano, / V. Zaccaria. „Instruction-level power estimation for
 embedded VLIW cores.“ *Hardware/Software Codesign, 2000. CODES 2000.
 Proceedings of the Eighth International Workshop on*. San Diego, CA, USA,
 2000.
- Shah, S.A.A., J. Wagner, T. Schuster, / M. Berekovic. „A lightweight-system-level
 power and area estimation methodology for application specific instruction set
 processors.“ *Power and Timing Modeling, Optimization and Simulation
 (PATMOS), 2014 24th International Workshop on*. Palma de Mallorca, 2014.
- Sinha, Amit, / Anantha Chandrakasan. „Software Energy Profiling.“ У *Power Aware
 Computing*, 339-359. New York: Springer US, 2002.
- Sultan, S., / S. Masud. „Rapid software power estimation of embedded pipelined
 processor through instruction level power model.“ *Performance Evaluation of
 Computer & Telecommunication Systems, 2009. SPECTS 2009. International
 Symposium on*. Istanbul, 2009.
- Sung, Nam, Todd Austin, Trevor Mudge, / Dirk Grunwald. „Challenges for
 architectural level power modeling.“ У *Power aware computing*, 317-338. New
 York: Springer US, 2002.
- TI. „Power Consumption.“ *Texas Instruments*. 2016.
<http://www.ti.com/lit/an/spraa04c/spraa04c.pdf> (последњи приступ 2016).
- Tiwari, V., S. Malik, / A. Wolfe. „Power analysis of embedded software: A first step
 towards software power minimization.“ *IEEE Trans. VLSI Systems* 2, бр. 4
 (1994): 437–445.
- UMN. *The University of Minnesota*. 27 May 2016.
<https://www.d.umn.edu/~gshute/arch/performance-equation.xhtml> (последњи
 приступ May 27, 2016).

- UPC. „Basic CMOS concepts.“ *Polytechnic University of Catalonia*. 2016. <http://docencia.ac.upc.edu/master/MIRI/NCD/assignments/Tema%201-EN.pdf> (последњи приступ 2016).
- USC. „Very-Long Instruction Word (VLIW) Computer Architecture.“ *University of Southern California*. 2016. <http://www.isi.edu/~youngcho/cse560m/vliw.pdf> (последњи приступ 2016).
- V. Dalal, C. P. Ravikumar. „Software power optimizations in an embedded system.“ *VLSI Design, 2001. Fourteenth International Conference on*. Bangalore: IEEE, 2001. 254 - 259.
- Vogel, Lars. *Eclipse Rich Client Platform*. vogella series, 2015.
- Vogeleer, Karel De, Gerard Memmi, Pierre Jouvelot, / Fabien Coelho. „The Energy/Frequency Convexity Rule: Modeling and Experimental Validation on Mobile Devices.“ *10th International Conference on Parallel Processing and Applied Mathematics (PPAM'2013)*. Varsovie, Poland, 2013.
- Wolfgang, Nebel, / Mermet Jean. *Low Power Design in Deep Submicron Electronics*. Dordrecht: Springer US, 1997.
- Wong, Martin D. F. „Low power design with multi-Vdd and voltage islands.“ *7th International Conference on ASIC*. Guilin: IEEE, 2007. 1325.
- Yunseo Ku, Junil Sohn, Jonghee Han, Yonghyun Baek, and Dongwook Kim. „A High Performance Hearing Aid System with Fully Programmable Ultra Low Power DSP.“ *Consumer Electronics (ICCE), 2013 IEEE International Conference on*. Las Vegas, NV: IEEE, 2013. 352 - 353.